

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 10-210251

(43)Date of publication of application : 07.08.1998

(51)Int.Cl.

H04N 1/21
B41J 5/30
H04N 1/387
H04N 1/41

(21)Application number : 09-007263

(71)Applicant : TOSHIBA CORP

(22)Date of filing : 20.01.1997

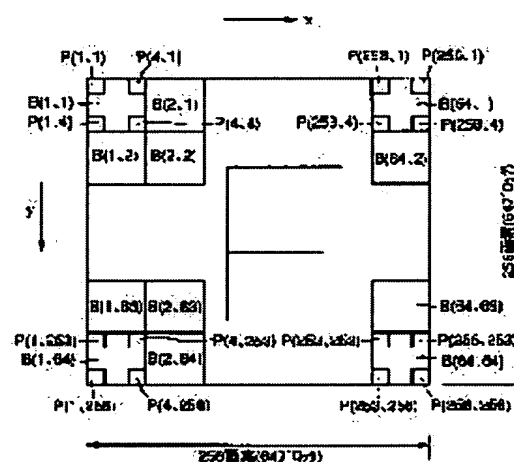
(72)Inventor : WATANABE KOICHI
MACHIDA HIRONOBU

(54) IMAGE MEMORY ACCESS METHOD, IMAGE FORMING DEVICE, IMAGE FORMING AND STORAGE DEVICE, ADDRESS GENERATING METHOD AND ADDRESS GENERATOR

(57)Abstract:

PROBLEM TO BE SOLVED: To enable burst access for image memory and high speed access by dividing an original image into blocks consisting of plural pixels, storing pixel data in the same block in the same line of memory array and enabling the plural pixel data in the same block to be accessed by specifying only a column address of a data register.

SOLUTION: The original image is constituted by, e.g. horizontally 256 pixels and vertically 256 pixels. An area constituted by horizontally four pixels and vertically four pixels is defined as one block and the original image is divided into horizontally 64 blocks and vertically 64 blocks. A DRAM is constituted by 1024 memory cells in a direction of a column and 1024 memory cells in the direction of a line. When the image of an original is read by a scanner, the image data of the pixels are successively read in an order of x direction and y direction, transmitted to the DRAM and stored in the corresponding memory cell. In this case, a line address is specified only once in successive write for the memory cell of the same line address and the line address is specified again only when the line address are different.



* NOTICES *

JPO and INPIT are not responsible for any damages caused by the use of this translation.

- 1.This document has been translated by computer. So the translation may not reflect the original precisely.
- 2.**** shows the word which can not be translated.
- 3.In the drawings, any words are not translated.

CLAIMS

[Claim(s)]

[Claim 1]A manuscript picture is divided into a block which consists of two or more pixels in an image memory characterized by comprising the following, Memorize picture element data of the same block in the same line of the above-mentioned memory array, and if it is access to picture element data within the same block, only by specifying a line address of the above-mentioned memory array once, A picture memory access method accessing two or more picture element data within the same block by specification of only a column address of the above-mentioned data register.

A multi-line, a memory array which consists of a bit of plural lines.

A data register which holds bit data for one line in which package read-out of bit data for one line and package writing are possible to this memory array, A column address selecting means which chooses a specific bit which performs read-out and writing of a data register holding a line address selecting means which chooses as this data register a line of the above-mentioned memory array which performs package read-out and package writing of bit data for one line, and bit data for one above-mentioned line.

[Claim 2]A picture memory access method according to claim 1 constituting the above-mentioned block so that it may become twice [positive number] the number of bit data which constitutes the above-mentioned block the number of bit data for one line of the above-mentioned memory array.

[Claim 3]A manuscript picture is divided into a block which consists of two or more pixels in an image memory characterized by comprising the following, Picture element data of the same block is memorized in the same line of the above-mentioned memory array, If bit data of a line address in which it is access to picture element data within the same block, and an applicable block is already included exist in the above-mentioned data register, A picture memory access method accessing two or more picture element data within the same block by specification of only a column address of the above-mentioned data register.

A multi-line, a memory array which consists of a bit of plural lines.

A data register which holds bit data for one line in which package read-out of bit data for one line and package writing are possible to this memory array, A column address selecting means which chooses a specific bit which performs read-out and writing of a data register holding a line address selecting means which chooses as this data register a line of the above-mentioned memory array which performs package read-out and package writing of bit data for one line, and bit data for one above-mentioned line.

[Claim 4]A picture memory access method according to claim 3 constituting the above-mentioned block so that it may become twice [positive number] the number of bit data which constitutes the above-mentioned block the number of bit data for one line of the above-mentioned memory array.

[Claim 5]A multi-line and a memory array which consists of a bit of plural lines characterized by comprising the following, A data register which holds bit data for one line in which package read-

out of bit data for one line and package writing are possible to this memory array, A line address selecting means which chooses as this data register a line of the above-mentioned memory array which performs package read-out and package writing of bit data for one line, An image forming device using a column address selecting means which chooses a specific bit which performs read-out and writing of a data register holding bit data for one above-mentioned line, and an image memory, ** and others.

A reading means which reads picture element data of a manuscript picture.

A memory measure which divides image data read by this reading means into a block which consists of two or more pixels, and memorizes picture element data of the same block in the same line of the above-mentioned memory array.

A reading means which will read two or more picture element data within the same block by specification of only a column address of the above-mentioned data register only by specifying a line address of the above-mentioned memory array once if it is read-out to picture element data within the same block.

An image forming means which carries out image formation to an image forming medium according to picture element data read by this reading means.

[Claim 6]The above-mentioned reading means a manuscript picture by changing a read-out order of picture element data of a manuscript picture memorized by described image memory 0 times, Or the image forming device according to claim 5 carrying out image formation to an image forming medium according to picture element data which read 90 degrees, 180 degrees, or a picture rotated 270 degrees, and was read by this reading means.

[Claim 7]A multi-line and a memory array which consists of a bit of plural lines characterized by comprising the following, A data register which holds bit data for one line in which package read-out of bit data for one line and package writing are possible to this memory array, A line address selecting means which chooses as the above-mentioned data register a line of a memory array which performs package read-out and package writing of bit data for one line, An image forming device using a column address selecting means which chooses a specific bit which performs read-out and writing of a data register holding bit data for one above-mentioned line, and an image memory, ** and others.

A reading means which reads picture element data of a manuscript picture.

A memory measure which divides image data read by this reading means into a block which consists of two or more pixels, and memorizes picture element data of the same block in the same line of the above-mentioned memory array.

A reading means which is read-out to picture element data within the same block, and will read two or more picture element data within the same block by specification of only a column address of the above-mentioned data register if bit data of a line address in which an applicable block is already included exist in the above-mentioned data register.

An image forming means which carries out image formation to an image forming medium according to picture element data read by this reading means.

[Claim 8]The above-mentioned reading means a manuscript picture by changing a read-out order of picture element data of a manuscript picture memorized by described image memory 0 times, Or the image forming device according to claim 7 carrying out image formation to an image forming medium according to picture element data which read 90 degrees, 180 degrees, or a picture rotated 270 degrees, and was read by this reading means.

[Claim 9]A multi-line and a memory array which consists of a bit of plural lines characterized by comprising the following, A data register which holds bit data for one line in which package read-out of bit data for one line and package writing are possible to this memory array, A line address selecting means which chooses as this data register a line of the above-mentioned memory array which performs package read-out and package writing of bit data for one line, An image forming device using a column address selecting means which chooses a specific bit which performs read-out and writing of a data register holding bit data for one above-mentioned line, and an image memory, ** and others.

A reading means which reads picture element data of a manuscript picture.

A memory measure which divides image data read by this reading means into a block which consists of two or more pixels which is contained in a block with same picture element data by which image formation is simultaneously carried out at the time of image formation, and memorizes picture element data of the same block in the same line of the above-mentioned memory array.

A reading means which will read continuously picture element data by which image formation is simultaneously carried out by specification of only a column address of the above-mentioned data register in two or more picture element data within the same block at the time of image formation only by specifying a line address of the above-mentioned memory array once if it is read-out to picture element data within the same block.

An image forming means which carries out image formation of two or more pixels to an image forming medium simultaneously according to picture element data read by this reading means.

[Claim 10]A multi-line and a memory array which consists of a bit of plural lines characterized by comprising the following, A data register which holds bit data for one line in which package read-out of bit data for one line and package writing are possible to this memory array, A line address selecting means which chooses as this data register a line of the above-mentioned memory array which performs package read-out and package writing of bit data for one line, An image forming device using a column address selecting means which chooses a specific bit which performs read-out and writing of a data register holding bit data for one above-mentioned line, and an image memory, ** and others.

A reading means which reads picture element data of a manuscript picture.

A memory measure which divides into a block which consists of two or more pixels which is contained in a block with same picture element data by which image formation is simultaneously carried out at the time of image formation read by this reading means, and memorizes picture element data of the same block in the same line of the above-mentioned memory array.

If bit data of a line address in which it is read-out to picture element data within the same block, and an applicable block is already included exist in the above-mentioned data register, A reading means which reads continuously picture element data by which image formation is simultaneously carried out by specification of only a column address of the above-mentioned data register in two or more picture element data within the same block at the time of image formation.

An image forming means which carries out image formation of two or more pixels to an image forming medium simultaneously according to picture element data read by this reading means.

[Claim 11]A multi-line and a memory array which consists of a bit of plural lines characterized by comprising the following, A data register which holds bit data for one line in which package read-out of bit data for one line and package writing are possible to this memory array, A line address selecting means which chooses as this data register a line of the above-mentioned memory array which performs package read-out and package writing of bit data for one line, Image formation memory storage using a column address selecting means which chooses a specific bit which performs read-out and writing of a data register holding bit data for one above-mentioned line, and an image memory, ** and others.

A reading means which reads picture element data of a manuscript picture.

A memory measure which divides into a block which consists of two or more pixels used as a batch of coding of image data read by this reading means, and memorizes picture element data of the same block in the same line of the above-mentioned memory array.

A reading means which will read two or more picture element data of a block used as a batch of coding collectively by specification of only a column address of the above-mentioned data register only by specifying a line address of the above-mentioned memory array once if it is read-out of picture element data within the same block.

An encoding means which codes picture element data of a block read by this reading means.

A code data storage means which memorizes code data besides coded by account encoding

means.

A code data reading means which reads the code data of 1 pages or more memorized by coding data memory measure by arbitrary page order.

A decoding means which decrypts code data coded by block unit, and picture element data of a decrypted block unit only by specifying a line address of the above-mentioned memory array once, A writing means which writes in two or more picture element data of a block used as a batch of decryption collectively by specification of only a column address of the above-mentioned data register, and an image forming means which carries out image formation to an image forming medium according to picture element data written in by the above-mentioned writing means.

[Claim 12]As opposed to an image memory which considers it as two or more words in a line direction, and makes two or more words 1 block in a column direction and to which this block exists in a line direction by two or more blocks by two or more blocks in a column direction, In a predetermined line when accessing an image memory in two dimensions, An address of burst access for numbers of words of a column direction which constitutes 1 block is generated, An address added by numbers of words which constitutes 1 block for every one burst access is generated, To a value which subtracted a value which carried out the multiplication of the numbers of words which constitute 1 block to a value subtracted from two or more block number of column directions 1 block for every burst access for two or more blocks of a column direction. A value which a column direction in 1 block added by numbers of words is generated as an address, An address generation method generating as an address a value which subtracted numbers of words of a column direction which constitutes numbers of words which constitute 1 block whenever it carries out several minutes two or more words to 1 block which is a line direction about burst access for two or more blocks of a column direction.

[Claim 13]As opposed to an image memory which considers it as two or more words in a line direction, and makes two or more words 1 block in a column direction and for which two or more blocks exist in a line direction in two or more blocks and a column direction, In a predetermined line when accessing an image memory in two dimensions, An address of burst access for numbers of words of a column direction which constitutes 1 block is generated, An address added by numbers of words which constitutes 1 block for every one burst access is generated, To a value which subtracted a value which carried out the multiplication of the numbers of words which constitute 1 block to a value subtracted from two or more block number of column directions 1 block for every burst access for two or more blocks of a column direction. A value which a column direction in 1 block added by numbers of words is generated as an address, Whenever it performs burst access for two or more blocks of a column direction by two or more numbers of words of a line direction, An address generation device possessing an address generating means which generates as an address a value which subtracted numbers of words of a column direction which constitutes 1 block from numbers of words which constitute 1 block.

[Claim 14]A multi-line, a memory array which consists of a bit of plural lines.

A data register which holds bit data for one line in which package read-out of bit data for one line and package writing are possible to this memory array.

A line address selecting means which chooses as this data register a line of the above-mentioned memory array which performs package read-out and package writing of bit data for one line.

A column address selecting means which chooses a specific bit which performs read-out and writing of a data register holding bit data for one above-mentioned line.

It is two or more pixels about a manuscript [** and others] picture.

Are the memory address generator provided with the above, and a line address of a described image memory An upper address, An address which expressed a column address as a lower address is made into a one-dimensional memory address, It shall be considered as two or more words at a line writing direction, and two or more words shall be a block configuration of a manuscript picture 1 block in a column direction, When considering it as two or more blocks at a line writing direction, considering it as two or more blocks in a column direction and accessing in

two dimensions, A one-dimensional address of a word which accesses the beginning of each block is computed, A value equivalent to a line address of this one-dimensional address is specified once as a line address of the above-mentioned memory array, A value which applied a value of positive [common to each continuous access] or negative offset to a value equivalent to a column address of the above-mentioned one-dimensional address is set up one by one as a column address of the above-mentioned memory array, An address generating means for performing continuous access within a block by specification of only a column address, and performing the above-mentioned continuous access, A memory address store means to memorize the present continuous access start address, A setting means of the 1st address increment, a setting means of the 2nd address increment, a setting means of the 3rd address increment, the 1st counting means that makes 1 continuous access 1 time and counts the number of times of continuous access, and 1 continuous access are made into 1 time, The 2nd counting means that counts the number of times of continuous access, and a setting means of the 1st count cycle of the 1st counting means of the above, It starts from the 2nd setting means and continuous access start address of a count cycle of the 2nd counting means of the above, Consist of a setting means which specifies displacement to a memory address of each word which performs continuous access, and an access start address of each continuous access, A one-dimensional address of a word which accesses the beginning of a page is made into an initial value, As opposed to an above-mentioned memory address store means to memorize the present continuous access start address, For every one continuous access, add the 1st address increment and for every continuous access of the 1st count cycle. A memory address of a word which is computed by adding the 2nd address increment and adding the 3rd address increment for every continuous access of the 2nd count cycle, and performs each continuous access, It is computed by applying displacement to a memory address of each word which performs the above-mentioned continuous access to a start address of the above-mentioned continuous access.

[Claim 15]Address increment of the above 1st, the 2nd address increment, the 3rd address increment, Displacement to the 1st count cycle, the 2nd count cycle, and a memory address of each word that performs the above-mentioned continuous access, The block count of a column direction which constitutes the above-mentioned 1 page, the block count of a line writing direction which constitutes 1 page, The memory address generator according to claim 14 being computed by access direction of an image memory of numbers of words of a column direction which constitutes 1 block, numbers of words of a line writing direction which constitutes 1 block and 0 times, 90 degrees, 180 degrees, and 270 degrees.

[Claim 16]A multi-line, a memory array which consists of a bit of plural lines.

A data register which holds bit data for one line in which package read-out of bit data for one line and package writing are possible to this memory array.

A line address selecting means which chooses as this data register a line of the above-mentioned memory array which performs package read-out and package writing of bit data for one line.

A column address selecting means which chooses a specific bit which performs read-out and writing of a data register holding bit data for one above-mentioned line.

It is two or more pixels about a manuscript [** and others] picture.

Are ***** provided with the above and a line address of a described image memory

An upper address, An address which expressed a column address as a lower address is made into a one-dimensional memory address, It shall be considered as two or more words at a line writing direction, and two or more words shall be a block configuration of a manuscript picture 1 block in a column direction, When considering it as two or more blocks at a line writing direction, considering it as two or more blocks in a column direction and accessing in two dimensions, A one-dimensional address of a word which accesses the beginning of each block is computed, A value equivalent to a line address of this one-dimensional address is specified once as a line address of the above-mentioned memory array, A value which applied a value of positive [common to each continuous access] or negative offset to a value equivalent to a column

address of the above-mentioned one-dimensional address is set up one by one as a column address of the above-mentioned memory array, An address generating means for performing continuous access within a block by specification of only a column address, and performing the above-mentioned continuous access, A memory address store means to memorize the present continuous access start address, A setting means of the 1st address increment, a setting means of the 2nd address increment, a setting means of the 3rd address increment, the 1st counting means that makes 1 continuous access 1 time and counts the number of times of continuous access, and 1 continuous access are made into 1 time, The 2nd counting means that counts the number of times of continuous access, and a setting means of the 1st count cycle of the 1st counting means of the above, It starts from the 2nd setting means and continuous access start address of a count cycle of the 2nd counting means of the above, Consist of a setting means which specifies displacement to a memory address of each word which performs continuous access, and an access start address of each continuous access, A one-dimensional address of a word which accesses the beginning of a page is made into an initial value, As opposed to an above-mentioned memory address store means to memorize the present continuous access start address, For every one continuous access, add the 1st address increment and for every continuous access of the 1st count cycle. A memory address of a word which is computed by adding the 2nd address increment and adding the 3rd address increment for every continuous access of the 2nd count cycle, and performs each continuous access, According to picture element data read from a described image memory using a memory address generator computed by applying displacement to a memory address of each word which performs the above-mentioned continuous access to a start address of the above-mentioned continuous access, image formation is carried out to an image forming medium.

[Translation done.]

* NOTICES *

JP0 and INPIT are not responsible for any damages caused by the use of this translation.

- 1.This document has been translated by computer. So the translation may not reflect the original precisely.
- 2.**** shows the word which can not be translated.
- 3.In the drawings, any words are not translated.

DETAILED DESCRIPTION

[Detailed Description of the Invention]

[0001]

[Field of the Invention]This invention relates to the picture memory access method of performing access to an image memory, an image forming device, image formation memory storage, the address generation method, and an address generation device.

[0002]

[Description of the Prior Art]In recent years, image information can be easily treated now as digital data. There is a digital plain paper copier as apparatus adapting these. This draws the catoptric light from a manuscript optically like the conventional analog PPC, and does not perform image formation on a photo conductor. Once reading the catoptric light from a manuscript as an electrical signal with a CCD sensor, it is changed into a digital signal. After various processings are performed to the once digitized manuscript, it is outputted to paper by a laser beam printer.

[0003]By once changing a manuscript picture into a digital signal, various processings of amendment of the input characteristics from a CCD sensor or the output characteristics to a laser beam printer, zooming, fractional elimination, outside the limit elimination, etc. become possible by signal processing.

[0004]The picture changed into the digital signal becomes possible [compressing data volume and accumulating efficiently] by performing coding processing. The accumulated picture is decrypted by the picture of being also in the arbitrary turn of liking to perform a printout, and the arbitrary things to do for a number-of-sheets laser PURINTAHE output are possible for it.

[0005]the former -- these -- standing in a line -- changing -- it was mechanically carried out using the sorter and the stacker to the copied printout -- a sake -- a device -- neither growing gigantic nor increase of noise was avoided. In order to carry out two or more sheets number printing, copying operation needed to be performed repeatedly.

[0006]Once preparing the image memory for 1 page (page memory) and developing the picture or the picture by which coding accumulation was carried out from a scanner (image reader) on an image memory, Rotational images, such as 90 degrees, 180 degrees, and 270 degrees, can be outputted by changing how to read an image memory.

[0007]By carrying out the rotational output of the picture, the break of two or more copies is distinguishable by the direction of a paper not depending in the direction which a manuscript places but outputting in the paper of the always same direction, and by outputting alternately with in every direction.

[0008]The connection copy (the 4 yne 1, 2 yne 1) which prints two or more pictures of a page to one sheet is attained by [which reduced the picture or the picture by which coding accumulation was carried out from a scanner] developing two or more **-JI to an image memory at 1 page. In the case of this connection copy, since every direction of a paper changes by the number of sheets to connect, the rotational output of a picture is needed.

[0009]It is necessary to read an image memory so that a picture may rotate once writing the original picture in an image memory, in order to carry out the rotational output of the picture.

[0010]In order to copy a manuscript to high definition, it is necessary to make high resolution at

the time of printing a picture to reading and the laser beam printer of a manuscript. Naturally, it becomes a size also with huge capacity of an image memory required for it with high-resolution-izing. For example, when 1 page of manuscripts of A4 size are read as 1 bit [per pixel] monochrome data in the resolution of 400dpi, the size of a needed image memory is set to about 4.4 M bytes in the resolution of about 2 M bytes and 600dpi. When it reads as 8-bit gray scale data per pixel, they will be the 8 times and a huge size further.

[0011]Thus, since the memory of a size very huge in order to record image data is needed, normal use of the DRAM with a cheap bit unit price is carried out to an image memory.

[0012]General DRAM specifies a specific address with a line (ROW) and two addresses of a sequence (COLUMN). Since all the data of the same line address will be internally read if a line address is specified. If it is data of the same line address, it has a fast page mode accessible at high speed (comparing with the case where both the addresses of a line address and a column address are specified), or a hyper-page mode (EDO) for two or more data only by specifying a column address.

[0013]The continuous column address is generated inside DRAM and there are a Synchronous DRAM etc. which accelerated access of continuation ADDRESS further by giving only the countup signal of a column address to DRAM from the exterior.

[0014]As a DRAM corresponding to a fast page mode, TC5116160A, As a DRAM corresponding to a hyper-page mode, TC5116165BJ (data book: details 1995 edition Toshiba Corp. MOS memory DRAM (multi-bit article) editing reference), There are TC59S1604FT etc. as a Synchronous DRAM (data book: details 1995 edition Toshiba Corp. MOS memory ASMIC editing reference).

[0015]Henceforth, suppose that it calls it the burst access of DRAM to give the address which serves as a starting point to DRAM which was described above, and to perform high-speed continuous access.

[0016]When it constitutes an image memory using these DRAMs, in Japanese Patent Application No. No. 85676 [six to], the memory address is increasing from the upper left to line sequential toward the lower right to a two-dimensional picture.

[0017]Therefore, in order to make the address with which the memory continued correspond to a two-dimensional image memory, an address is increased from a line left end toward the right, and the memory address of a line right termination and the memory address at the left end of [line] the next line (line under one) are continuing.

[0018]As for the memory address, the line (ROW) address is assigned to the sequence (COLUMN) address and the higher rank at the low rank.

[0019]Therefore, in the longitudinal direction of the same line, in order that an address may continue, the line address which is an upper address is maintaining the same value in the range from which a lower address changes.

[0020]However, in the sliding direction where lines differ, since an address becomes discontinuous, there is no guarantee which becomes the same [an upper address].

[0021]In order to copy a manuscript to high definition, it is necessary to make high resolution at the time of ****(ing) a picture to reading and the laser beam printer of a manuscript. Naturally, it becomes a size also with huge capacity of an image memory required for it with high-resolution-izing. For example, the size of the image memory which is needed when 1 page of manuscripts of A4 size are read as 1 bit [per pixel] monochrome data in the resolution of 400dpi as above-mentioned is set to about 4.4 M bytes in the resolution of about 2 M bytes and 600dpi. When it reads as 8-bit gray scale data per pixel, they will be the 8 times and a huge size further.

* NOTICES *

JPO and INPIT are not responsible for any damages caused by the use of this translation.

1.This document has been translated by computer. So the translation may not reflect the original precisely.

2.**** shows the word which can not be translated.

3.In the drawings, any words are not translated.

TECHNICAL FIELD

[Field of the Invention]This invention relates to the picture memory access method of performing access to an image memory, an image forming device, image formation memory storage, the address generation method, and an address generation device.

[Translation done.]

* NOTICES *

JPO and INPIT are not responsible for any damages caused by the use of this translation.

- 1.This document has been translated by computer. So the translation may not reflect the original precisely.
- 2.**** shows the word which can not be translated.
- 3.In the drawings, any words are not translated.

PRIOR ART

[Description of the Prior Art]In recent years, image information can be easily treated now as digital data. There is a digital plain paper copier as apparatus adapting these. This draws the catoptric light from a manuscript optically like the conventional analog PPC, and does not perform image formation on a photo conductor. Once reading the catoptric light from a manuscript as an electrical signal with a CCD sensor, it is changed into a digital signal. After various processings are performed to the once digitized manuscript, it is outputted to paper by a laser beam printer.

[0003]By once changing a manuscript picture into a digital signal, various processings of amendment of the input characteristics from a CCD sensor or the output characteristics to a laser beam printer, zooming, fractional elimination, outside the limit elimination, etc. become possible by signal processing.

[0004]The picture changed into the digital signal becomes possible [compressing data volume and accumulating efficiently] by performing coding processing. The accumulated picture is decrypted by the picture of being also in the arbitrary turn of liking to perform a printout, and the arbitrary things to do for a number-of-sheets laser PURINTAHE output are possible for it.

[0005]the former -- these -- standing in a line -- changing -- it was mechanically carried out using the sorter and the stacker to the copied printout -- a sake -- a device -- neither growing gigantic nor increase of noise was avoided. In order to carry out two or more sheets number printing, copying operation needed to be performed repeatedly.

[0006]Once preparing the image memory for 1 page (page memory) and developing the picture or the picture by which coding accumulation was carried out from a scanner (image reader) on an image memory, Rotational images, such as 90 degrees, 180 degrees, and 270 degrees, can be outputted by changing how to read an image memory.

[0007]By carrying out the rotational output of the picture, the break of two or more copies is distinguishable by the direction of a paper not depending in the direction which a manuscript places but outputting in the paper of the always same direction, and by outputting alternately with in every direction.

[0008]The connection copy (the 4 yne 1, 2 yne 1) which prints two or more pictures of a page to one sheet is attained by [which reduced the picture or the picture by which coding accumulation was carried out from a scanner] developing two or more **~Jl to an image memory at 1 page. In the case of this connection copy, since every direction of a paper changes by the number of sheets to connect, the rotational output of a picture is needed.

[0009]It is necessary to read an image memory so that a picture may rotate once writing the original picture in an image memory, in order to carry out the rotational output of the picture.

[0010]In order to copy a manuscript to high definition, it is necessary to make high resolution at the time of printing a picture to reading and the laser beam printer of a manuscript. Naturally, it becomes a size also with huge capacity of an image memory required for it with high-resolution-izing. For example, when 1 page of manuscripts of A4 size are read as 1 bit [per pixel] monochrome data in the resolution of 400dpi, the size of a needed image memory is set to about 4.4 M bytes in the resolution of about 2 M bytes and 600dpi. When it reads as 8-bit gray scale data per pixel, they will be the 8 times and a huge size further.

[0011]Thus, since the memory of a size very huge in order to record image data is needed, normal use of the DRAM with a cheap bit unit price is carried out to an image memory.

[0012]General DRAM specifies a specific address with a line (ROW) and two addresses of a sequence (COLUMN). Since all the data of the same line address will be internally read if a line address is specified. If it is data of the same line address, it has a fast page mode accessible at high speed (comparing with the case where both the addresses of a line address and a column address are specified), or a hyper-page mode (EDO) for two or more data only by specifying a column address.

[0013]The continuous column address is generated inside DRAM and there are a Synchronous DRAM etc. which accelerated access of continuation ADDRESS further by giving only the countup signal of a column address to DRAM from the exterior.

[0014]As a DRAM corresponding to a fast page mode, TC5116160A, As a DRAM corresponding to a hyper-page mode, TC5116165BJ (data book: details 1995 edition Toshiba Corp. MOS memory DRAM (multi-bit article) editing reference), There are TC59S1604FT etc. as a Synchronous DRAM (data book: details 1995 edition Toshiba Corp. MOS memory ASMIC editing reference).

[0015]Henceforth, suppose that it calls it the burst access of DRAM to give the address which serves as a starting point to DRAM which was described above, and to perform high-speed continuous access.

[0016]When it constitutes an image memory using these DRAMs, in Japanese Patent Application No. No. 85676 [six to], the memory address is increasing from the upper left to line sequential toward the lower right to a two-dimensional picture.

[0017]Therefore, in order to make the address with which the memory continued correspond to a two-dimensional image memory, an address is increased from a line left end toward the right, and the memory address of a line right termination and the memory address at the left end of [line] the next line (line under one) are continuing.

[0018]As for the memory address, the line (ROW) address is assigned to the sequence (COLUMN) address and the higher rank at the low rank.

[0019]Therefore, in the longitudinal direction of the same line, in order that an address may continue, the line address which is an upper address is maintaining the same value in the range from which a lower address changes.

[0020]However, in the sliding direction where lines differ, since an address becomes discontinuous, there is no guarantee which becomes the same [an upper address].

[0021]In order to copy a manuscript to high definition, it is necessary to make high resolution at the time of ****(ing) a picture to reading and the laser beam printer of a manuscript. Naturally, it becomes a size also with huge capacity of an image memory required for it with high-resolution-izing. For example, the size of the image memory which is needed when 1 page of manuscripts of A4 size are read as 1 bit [per pixel] monochrome data in the resolution of 400dpi as above-mentioned is set to about 4.4 M bytes in the resolution of about 2 M bytes and 600dpi. When it reads as 8-bit gray scale data per pixel, they will be the 8 times and a huge size further.

[0022]In order to process these image data of a lot of on an image memory, The transfer rate of very high-speed image memories, such as image coding for accumulating the image data transfer from a scanner to an image memory, the image data transfer from an image memory to a printer, and a picture and image transfer with a decoding device, is required.

[0023]For example, when PURINTAGE transmission of the image data on an image memory is carried out 60 times in 1 minute, When the monochrome picture of A4 size and 600dpi is read as 4.4MByte and 8-bit gray scale data per pixel in 1 second, the transfer rate of 35.2MByte is further needed in [of the 8 times] 1 second.

[0024]In a conventional system, when making the address with which the memory continued correspond to a two-dimensional image memory, the continuity of the memory address of a longitudinal direction and a sliding direction was not taken into consideration.

[0025]Therefore, image processing, and coding and decoding processing which are usually accessed by making the longitudinal direction at the time of access, the sliding direction at the time of rotation access, and a two-dimensional block into a batch, Two or more lines were not

able to perform fast transmission to a printable printer in the case of read-out of two or more lines, cannot but give a line address and a column address each time, cannot but access 1 word units, and according to the burst access of DRAM simultaneously with two or more laser exposure devices.

[0026] Since it corresponded by using expanding the bit width of the word which accesses at a time, and other high-speed memory devices when fast transmission was required, increase of a device scale or cost was not avoided.

[Translation done.]

* NOTICES *

JPO and INPIT are not responsible for any damages caused by the use of this translation.

1.This document has been translated by computer. So the translation may not reflect the original precisely.

2.**** shows the word which can not be translated.

3.In the drawings, any words are not translated.

EFFECT OF THE INVENTION

[Effect of the Invention]As explained in full detail above, according to this invention, burst access to an image memory is made possible, and the picture memory access method in which rapid access is possible, an image forming device, image formation memory storage, the address generation method, and an address generation device can be provided.

[Translation done.]

* NOTICES *

JP0 and INPIT are not responsible for any damages caused by the use of this translation.

- 1.This document has been translated by computer. So the translation may not reflect the original precisely.
- 2.**** shows the word which can not be translated.
- 3.In the drawings, any words are not translated.

TECHNICAL PROBLEM

[Problem(s) to be Solved by the Invention]As described above, it is what removes the fault that rapid access to an image memory cannot be performed, Burst access to an image memory is made possible, and it aims at providing the picture memory access method in which rapid access is possible, an image forming device, image formation memory storage, the address generation method, and an address generation device.

[Translation done.]

* NOTICES *

JPO and INPIT are not responsible for any damages caused by the use of this translation.

- 1.This document has been translated by computer. So the translation may not reflect the original precisely.
- 2.**** shows the word which can not be translated.
- 3.In the drawings, any words are not translated.

MEANS

[Means for Solving the Problem]In an image memory this invention is characterized by that comprises the following, Divide a manuscript picture into a block which consists of two or more pixels, memorize picture element data of the same block in the same line of the above-mentioned memory array, and if it is access to picture element data within the same block, What accesses two or more picture element data within the same block by specification of only a column address of the above-mentioned data register only by specifying a line address of the above-mentioned memory array once.

A multi-line, a memory array which consists of a bit of plural lines.

A data register which holds bit data for one line in which package read-out of bit data for one line and package writing are possible to this memory array.

A line address selecting means which chooses as this data register a line of the above-mentioned memory array which performs package read-out and package writing of bit data for one line.

A column address selecting means which chooses a specific bit which performs read-out and writing of a data register holding bit data for one above-mentioned line.

[0029]In an image memory this invention is characterized by that comprises the following, Divide a manuscript picture into a block which consists of two or more pixels, and picture element data of the same block, If bit data of a line address in which it is made to memorize in the same line of the above-mentioned memory array, and is access to picture element data within the same block, and an applicable block is already included exist in the above-mentioned data register, What accesses two or more picture element data within the same block by specification of only a column address of the above-mentioned data register.

A multi-line, a memory array which consists of a bit of plural lines.

A data register which holds bit data for one line in which package read-out of bit data for one line and package writing are possible to this memory array.

A line address selecting means which chooses as this data register a line of the above-mentioned memory array which performs package read-out and package writing of bit data for one line.

A column address selecting means which chooses a specific bit which performs read-out and writing of a data register holding bit data for one above-mentioned line.

[0030]A data register holding bit data for one line to a multi-line, a memory array which consists of a bit of plural lines, and this memory array which this invention writes [package read-out of bit data for one line and / package] in in, A line address selecting means which chooses as this data register a line of the above-mentioned memory array which performs package read-out and package writing of bit data for one line, In an image forming device using an image memory which consists of a column address selecting means which chooses a specific bit which performs read-out and writing of a data register holding bit data for one above-mentioned line, Image data read by reading means which reads picture element data of a manuscript picture, and this reading means is divided into a block which consists of two or more pixels which is contained in a block

with same picture element data by which image formation is simultaneously carried out at the time of image formation, If it is read-out to picture element data within the same block as a memory measure which memorizes picture element data of the same block in the same line of the above-mentioned memory array, only by specifying a line address of the above-mentioned memory array once, A reading means which reads continuously picture element data by which image formation is simultaneously carried out by specification of only a column address of the above-mentioned data register in two or more picture element data within the same block at the time of image formation, It comprises an image forming means which carries out image formation of two or more pixels to an image forming medium simultaneously according to picture element data read by this reading means.

[0031]A data register holding bit data for one line to a multi-line, a memory array which consists of a bit of plural lines, and this memory array which this invention writes [package read-out of bit data for one line and / package] in in, A line address selecting means which chooses as this data register a line of the above-mentioned memory array which performs package read-out and package writing of bit data for one line, In an image forming device using an image memory which consists of a column address selecting means which chooses a specific bit which performs read-out and writing of a data register holding bit data for one above-mentioned line, It divides into a block which consists of two or more pixels which is contained in a block with same picture element data by which image formation is simultaneously carried out at the time of image formation read by reading means which reads picture element data of a manuscript picture, and this reading means, Are read-out to picture element data within the same block as a memory measure memorized in the same line of the above-mentioned memory array, and if bit data of a line address in which an applicable block is included exist in the above-mentioned data register, picture element data of the same block already, A reading means which reads continuously picture element data by which image formation is simultaneously carried out by specification of only a column address of the above-mentioned data register in two or more picture element data within the same block at the time of image formation, It comprises an image forming means which carries out image formation of two or more pixels to an image forming medium simultaneously according to picture element data read by this reading means.

[0032]A data register holding bit data for one line to a multi-line, a memory array which consists of a bit of plural lines, and this memory array which this invention writes [package read-out of bit data for one line and / package] in in, A line address selecting means which chooses as this data register a line of the above-mentioned memory array which performs package read-out and package writing of bit data for one line, In image formation memory storage using an image memory which consists of a column address selecting means which chooses a specific bit which performs read-out and writing of a data register holding bit data for one above-mentioned line, Image data read by reading means which reads picture element data of a manuscript picture, and this reading means is divided into a block which consists of two or more pixels used as a batch of coding, If it is read-out of picture element data within the same block as a memory measure which memorizes picture element data of the same block in the same line of the above-mentioned memory array, only by specifying a line address of the above-mentioned memory array once, A reading means which reads two or more picture element data of a block used as a batch of coding collectively by specification of only a column address of the above-mentioned data register, and an encoding means which codes picture element data of a block read by this reading means, A code data storage means which memorizes code data besides coded by account encoding means, A code data reading means which reads the code data of 1 pages or more memorized by coding data memory measure by arbitrary page order, A decoding means which decrypts code data coded by block unit, and picture element data of a decrypted block unit only by specifying a line address of the above-mentioned memory array once, It comprises a writing means which writes in two or more picture element data of a block used as a batch of decryption collectively by specification of only a column address of the above-mentioned data register, and an image forming means which carries out image formation to an image forming medium according to picture element data written in by the above-mentioned writing means.

[0033]As opposed to an image memory to which this invention considers it as two or more words

in a line direction, and makes two or more words 1 block in a column direction, and this block exists in a line direction by two or more blocks by two or more blocks in a column direction, In a predetermined line when accessing an image memory in two dimensions, An address of burst access for numbers of words of a column direction which constitutes 1 block is generated, An address added by numbers of words which constitutes 1 block for every one burst access is generated, To a value which subtracted a value which carried out the multiplication of the numbers of words which constitute 1 block to a value subtracted from two or more block number of column directions 1 block for every burst access for two or more blocks of a column direction. A value which a column direction in 1 block added by numbers of words is generated as an address, A value which subtracted numbers of words of a column direction which constitutes numbers of words which constitute 1 block whenever it carries out several minutes two or more words to 1 block which is a line direction about burst access for two or more blocks of a column direction is generated as an address.

[0034] Divide this invention into a block characterized by comprising the following, memorize picture element data of the same block in the same line of the above-mentioned memory array, and if it is access to picture element data within the same block, In an image memory which accesses two or more picture element data within the same block by specification of only a column address of the above-mentioned data register only by specifying a line address of the above-mentioned memory array once, An address which expressed an upper address and a column address for a line address of a described image memory as a lower address is made into a one-dimensional memory address, It shall be considered as two or more words at a line writing direction, and two or more words shall be a block configuration of a manuscript picture 1 block in a column direction, When considering it as two or more blocks at a line writing direction, considering it as two or more blocks in a column direction and accessing in two dimensions, A one-dimensional address of a word which accesses the beginning of each block is computed, A value equivalent to a line address of this one-dimensional address is specified once as a line address of the above-mentioned memory array, Set up a value which applied a value of positive [common to each continuous access], or negative offset to a value equivalent to a column address of the above-mentioned one-dimensional address one by one as a column address of the above-mentioned memory array, and continuous access within a block by specification of only a column address is performed, An address generating means for performing the above-mentioned continuous access, A memory address store means to memorize the present continuous access start address, A setting means of the 1st address increment, and a setting means of the 2nd address increment, A setting means of the 3rd address increment, and the 1st counting means that makes 1 continuous access 1 time and counts the number of times of continuous access, The 2nd counting means that makes 1 continuous access 1 time and counts the number of times of continuous access, A setting means of the 1st count cycle of the 1st counting means of the above, and a setting means of the 2nd count cycle of the 2nd counting means of the above, Consist of a setting means which specifies displacement to a memory address of each word which performs continuous access with a continuous access start address as the starting point, and an access start address of each continuous access, A one-dimensional address of a word which accesses the beginning of a page is made into an initial value, As opposed to an above-mentioned memory address store means to memorize the present continuous access start address, It is computed by adding the 1st address increment, adding the 2nd address increment and adding the 3rd address increment for every continuous access of the 2nd count cycle for every continuous access of the 1st count cycle, for every one continuous access, What is computed when a memory address of a word which performs each continuous access applies displacement to a memory address of each word which performs the above-mentioned continuous access to a start address of the above-mentioned continuous access. A multi-line, a memory array which consists of a bit of plural lines. A data register which holds bit data for one line in which package read-out of bit data for one line and package writing are possible to this memory array. A line address selecting means which chooses as this data register a line of the above-mentioned memory array which performs package read-out and package writing of bit data for

one line.

It consists of a column address selecting means which chooses a specific bit which performs read-out and writing of a data register holding bit data for one above-mentioned line, and is two or more pixels about a manuscript picture.

[0035]

[Embodiment of the Invention] Hereafter, a 1st embodiment of this invention is described with reference to drawings.

[0036] That is, this invention is explained about the example of the compounded type image forming device which has three functions of a copy, a facsimile, and a printer.

[0037] Drawing 1 is an outline configuration block figure showing the internal structure of the digital copier as an example of the image forming device of this invention.

[0038] As shown in drawing 1, a digital copier is provided with the device main frame 110, and the scanner 13 which functions as a reading means mentioned later, and the printer 15 which functions as an image forming means are formed in this device main frame 110.

[0039] The manuscript mounting base 112 which becomes the upper surface of the device main frame 110 from a read object, i.e., the transparent glass with which the manuscript D is laid, is formed. The automatic draft feeder 107 (ADF is called hereafter) which sends a manuscript automatically on the manuscript mounting base 112 is allocated by the upper surface of the device main frame 110. To the manuscript mounting base 112, this ADF107 is allocated so that opening and closing are possible, and it functions also as an original cover which sticks the manuscript D laid in the manuscript mounting base 112 to the manuscript mounting base 112.

[0040] ADF107, The existence of the manuscript tray 108 and manuscript in which the manuscript D is set. A manuscript from the empty sensor 109 to detect and the manuscript tray 108. It has the transportation belt 118 of the pickup roller 114 which it takes out one sheet at a time, the feed roller 115 which conveys the taken-out manuscript, the aligning roller pair 116 which carries out ready grade of the tip of a manuscript, and the manuscript mounting base 112 allocated so that the whole might be covered mostly. And after the manuscript of two or more sheets set upward by the manuscript tray 108 is taken out sequentially from the lowest page, i.e., the last page, and ready grade is carried out by the aligning roller pair 116, it is conveyed with the transportation belt 118 to the prescribed position of the manuscript mounting base 112.

[0041] In ADF7, the reversal roller 120, the noninverting sensor 121, the flapper 122, and the paper ejecting roller 123 are allocated by the end of the aligning roller pair 116 and an opposite hand on both sides of the transportation belt 118. The manuscript D in which picture information was read with the scanner 13 mentioned later is sent out from the manuscript mounting base 112 with the transportation belt 118, and is discharged on the manuscript delivery unit 124 of the ADF7 upper surface via the reversal roller 120, the flapper 121, and the paper ejecting roller 122. When reading the rear face of the manuscript D, the manuscript D conveyed with the transportation belt 118 by switching the flapper 122 is again sent to the prescribed position on the manuscript mounting base 112 with the transportation belt 118, after it is reversed with the reversal roller 120.

[0042] The scanner 13 allocated in the device main frame 110, It has the exposure lamp 125 as a light source which illuminates the manuscript D laid in the manuscript mounting base 112, and the 1st mirror 126 that deflects the catoptric light from the manuscript D in the predetermined direction, These exposure lamp 125 and 1st mirror 126 are attached to the 1st carriage 127 allocated under the manuscript mounting base 112.

[0043] The 1st carriage 127 is arranged movable in parallel with the manuscript mounting base 112, and reciprocation moving of the lower part of the manuscript mounting base 112 is carried out with a drive motor via the synchronous belt etc. which are not illustrated.

[0044] The manuscript mounting base 112 and the 2nd carriage 128 movable in parallel are allocated in the lower part of the manuscript mounting base 112. The 2nd and 3rd mirrors 130 and 131 of each other that deflect in order the catoptric light from the manuscript D deflected by the 1st mirror 126 are attached to the 2nd carriage 128 right-angled. The 2nd carriage 128 is moved in parallel along with the manuscript mounting base 112 to the 1st carriage by the

synchronous belt etc. which drive the 1st carriage 127 at the rate of one half while following to the 1st carriage 127.

[0045]Under the manuscript mounting base 112, the image formation lens 132 which converges the catoptric light from the 3rd mirror 131 on the 2nd carriage 128, and CCD sensor 134 which receives and carries out photoelectric conversion of the catoptric light which converged with the image formation lens 132 are allocated. The image formation lens 132 is allocated movable via drive mechanism in a field including the optic axis of the light deflected by the 3rd mirror 131, and image formation is carried out for the magnification of a request of catoptric light because self moves. And CCD sensor 134 carries out photoelectric conversion of the catoptric light which entered, and outputs the electrical signal corresponding to the read manuscript D.

[0046]On the other hand, the printer 15 is provided with the laser exposure device 140 which acts as a latent image formation means. The laser exposure device 140 is provided with the following.

The semiconductor laser 141 as a light source.

The polygon mirror 136 as a scanning member which deflects continuously the laser beam emitted from the semiconductor laser 141.

It is the polygon motor 137 also as a scanning motor rotated at the predetermined number of rotations which mentions the polygon mirror 136 later.

The optical system 142 led to the photo conductor drum 144 which deflects and mentions the laser beam from a polygon mirror later.

Fixing support of the laser exposure device 140 of such composition is carried out to the holding frame which the device main frame 110 does not illustrate.

[0047]The picture information of the manuscript D in which the semiconductor laser 141 was read with the scanner 13, Or on-off control is carried out according to facsimile transceiver document information etc., and this laser beam is turned to the photo conductor drum 144 via the polygon mirror 136 and the optical system 142, and forms an electrostatic latent image on photo conductor drum 144 peripheral surface by scanning photo conductor drum 144 peripheral surface.

[0048]The printer 15 has the photo conductor drum 144 in which the rotation as image support of the device main frame 110 mostly allocated in the center is free, photo conductor drum 144 peripheral surface is exposed by the laser beam from the laser exposure device 140, and a desired electrostatic latent image is formed. Around the photo conductor drum 144, The transfer material, jam to which paper was fed from the electrifying charger 145 which electrifies a drum peripheral surface in a predetermined electric charge, the development counter 146 which supplies the toner as a developer to the electrostatic latent image formed on the photo conductor drum 144 peripheral surface, and is developed with desired image concentration, and the paper cassette mentioned later, It has the exfoliation charger 147 for making copy paper P separate from the photo conductor drum 144 in one, the cleaning device 150 which cleans the peeling claw 149 which exfoliates copy paper P, and the toner which remained to photo conductor drum 144 peripheral surface from transfer charger [which makes the paper P transfer the toner image formed in the photo conductor drum 144] 148, and photo conductor drum 144 peripheral surface -- and, The charge neutralizer 151 which photo conductor drum 144 peripheral surface discharges is arranged in order.

[0049]The upper row cassette 152 in which a cash drawer is possible, the middle cassette 153, and the lower-berth cassette 154 of each other are allocated in the lower part in the device main frame 110 by the laminating condition from a device main frame, respectively, and it is loaded with the copy paper from which size differs into each cassette. The mass feeder 155 is formed in the side of these cassettes, and about 3000 frequently-used copy paper of size P, for example, copy paper P of A4 size, is stored by this mass feeder 155. It is equipped with the sheet paper cassette 157 which served as the detachable tray 156 above the mass feeder 155, enabling free desorption.

[0050]In the device main frame 110, the carrying path 158 prolonged through the transfer section located between the photo conductor drum 144 and the transfer charger 148 from each cassette and the mass feeder 155 is formed, and the anchorage device 160 which has the fixing

lamp 160a is formed in the termination of the carrying path 158. The outlet 161 is formed in the side attachment wall of the device main frame 110 which countered the anchorage device 160, and the outlet 161 is equipped with the finisher 180 of the single tray.

[0051]Near the mass feeder 155 near the upper row cassette 152, the middle cassette 153, the lower-berth cassette 154, and the sheet paper cassette 157, the pickup roller 163 which picks out one sheet of paper P at a time from a cassette or a mass feeder is formed, respectively. The feeding roller pairs 164 of a large number which convey copy paper P taken out by the pickup roller 163 through the carrying path 158 are formed in the carrying path 158.

[0052]In the carrying path 158, the resist roller pair 165 is formed in the upstream of the photo conductor drum 144. The resist roller pair 165 adjusts the tip of the toner image on the photo conductor drum 144, and the tip of copy paper P, and feeds copy paper P to a transfer section at the same speed as the movement speed of photo conductor drum 144 peripheral surface while it amends inclination of taken-out copy paper P. The aligning front sensor 166 which detects attainment of copy paper P is formed in this side [of the resist roller pair 165] 164, i.e., feed roller, side.

[0053]Copy paper P taken out one sheet at a time from each cassette or the mass feeder 155 by the pickup roller 163 is sent to the resist roller pair 165 by the feeding roller pairs 164. And copy paper P is sent to a transfer section, after ready grade of the tip is carried out by the resist roller pair 165.

[0054]In a transfer section, the developer image formed on the photo conductor drum 144, i.e., a toner image, is transferred on the paper P by the transfer charger 148. Copy paper P by which the toner image was transferred exfoliates from photo conductor drum 144 peripheral surface by operation of the exfoliation charger 147 and the peeling claw 149, and is conveyed by the anchorage device 160 via the transportation belt 167 which constitutes a part of carrying path 52. And as for copy paper P, a developer image is discharged by the feeding roller pairs 168 and the paper ejecting roller pair 169 on the finisher 180 through the outlet 161 after melting fixing **** at copy paper P with the anchorage device 160.

[0055]The automatic double-side device 170 which reverses copy paper P which passed the anchorage device 160 under the carrying path 158, and is again sent to the resist roller pair 165 is formed. The automatic double-side device 170 is provided with the following.

It is the accumulation part 171 temporarily accumulate copy paper P temporarily.

The reverse path 172 which branches from the carrying path 158, reverses copy paper P which passed the anchorage device 160, and is led to the accumulation part 71 temporarily.

The pickup roller 173 which takes out at a time one copy paper P accumulated on the accumulation part temporarily.

The feed roller 175 which feeds the taken-out paper to the resist roller pair 165 through the carrying path 174.

The distribution gate 176 which distributes copy paper P to the outlet 161 or the reverse path 172 selectively is established in the tee of the carrying path 158 and the reverse path 172.

[0056]When performing a double-sided copy, copy paper P which passed the anchorage device 160, After being led to the reverse path 172 by the distribution gate 176 and piling up the accumulation part 171 temporarily in the state of having been reversed, it is sent to the resist roller pair 165 by the pickup roller 173 and the feeding roller pairs 175 through the carrying path 174. And after ready grade of the copy paper P is carried out by the resist roller pair 165, it is again sent to a transfer section and a toner image is transferred by the rear face of copy paper P. Then, copy paper P is delivered to the finisher 180 via the carrying path 158, the anchorage device 160, and the paper ejecting roller 169.

[0057]The finisher 180 is a discharged thing which carries out the staple stop of some documents [some] of composition, and collects them in the unit. It brings near and consistent with the side by which a staple is carried out with the guide bar 181 whenever copy paper P which carries out a staple is discharged from the one-sheet outlet 161. when all finished being discharged, the paper bail arm 152 was discharged -- copy paper P of a unit is stopped in part, and the stapler unit 183 performs a staple stop. then, copy paper P which the guide bar 181 fell and the staple stop finished -- the -- a part is discharged by the finisher discharging tray 184

with the finisher discharge roller 185 in a unit. The quantity in which the finisher discharging tray 184 falls is determined to some extent by the number of sheets of copy paper P discharged, and falls in [whenever a part is discharged by the unit] step. The guide bar 181 which adjusts copy paper P discharged is in the position of height which does not hit copy paper P which appeared on the finisher discharging tray 184, and by which the staple stop was already carried out.

[0058]The finisher discharging tray 184 is connected to the shift mechanism (not shown) shifted in for example, the four directions of front and rear, right and left for every part at the time of a sort mode.

[0059]Drawing 2 is the entire configuration of an image forming device a shown block diagram, and this device, When connecting with other systems the basic unit 1 and this device which perform a fundamental duplication function, memorize image data temporarily, or, It has an optical disk unit for saving electronically and semipermanently the image data inputted from the system basic unit 2 which has a page memory etc. which memorize image data when editing and processing image data and copying it, and said basic unit 1, etc., And when exchanging image data or control data among other systems, it comprises three systems of the system extensiveness unit 3 which has a control means which changes image data and control data into the control body system of other systems, and a graphics format.

[0060]Said basic unit 1 and the system basic unit 2 are connected by the basic part image interfaces 5 which exchange basic part SI 4 which exchanges control data, and image data.

[0061]Said system basic unit 2 and the system extensiveness unit 3 are connected by the extension image interfaces 7 which exchange extension SI 6 which exchanges control data, and image data.

[0062]That is, direct continuation of said basic unit 1 and the system extensiveness unit 3 is not carried out, but the exchange of control data and image data is certainly performed via the system basic unit 2.

[0063]This image forming device can take three gestalten by the existence of connection of the system basic unit 2 and the system extensiveness unit 3.

[0064]Namely, the 1st gestalt is the composition of only the basic unit 1, the fundamental function in this composition is a duplication function, and the copy processing accompanied by simple editing processings, such as scaling processing, masking/trimming treatment, is possible for it.

[0065]The 2nd gestalt is a gestalt which connected the system basic unit 2 to the basic unit 1, and editing processings, such as a rotating process of a picture and a compositing process of two or more pictures, become possible using the page memory which memorizes temporarily image data other than the duplication function in the basic unit 1 with this gestalt. To this system basic unit 2. The printer of the FAX (facsimile) unit 8 and the basic unit 1 which constitute line control means other than the system extensiveness unit 3, such as a facsimile, as a remote printer of control machinery, such as an external personal computer. It is possible to connect the printer controller 9 for using it, It is possible to transmit a picture to other systems and apparatus via a communication line from these FAX units 8, or to receive image data from other systems and apparatus via a communication line conversely, and the printout of the image data which received is carried out with the printer which it is sent to the basic unit 1 and mentioned later.

[0066]The 3rd gestalt turns into a gestalt shown in drawing 2 with the gestalt which connected the basic unit 1, the system basic unit 2, and the system extensiveness unit 3.

[0067]In this gestalt, image data other than the function in the 1st and 2nd gestalten is saved electronically and semipermanently, Transmit a picture to other systems and apparatus via a LAN line from the data storage/controlling function who manages the saved image data, and the Local Area Network (LAN) line control means mentioned later, or, Conversely, the transmitting function of the image data based on LAN which receives image data from other systems and apparatus via a LAN line, The printing control code sent from a personal computer via a general interface is changed into image data, and the printer function etc. which carry out the printout of the above-mentioned image data from the printer of the basic unit 1 via the page memory of the system basic unit 2 become possible.

[0068]As shown in drawing 3, said basic unit 1, It is constituted from the control panel 12 provided with system CPU11 which constitutes a control-section main part, the final controlling element, and the indicator, and the manuscript by the printer 15 as the image scanner 13, the image processing circuit 14, and output means as an input means which reads a picture. It is connected with the printer 15 as an output means which performs the control panel 12, the scanner 13, the image processing circuit 14, and an image formation output via the basic part system bath 16, and said system CPU11 controls these. This basic part system bath 16 is connected to said basic part SI 4.

[0069]Said scanner 13 has a CCD line sensor (not shown) which consists of a photo detector of plurality (one line) arranged seriate, After reading the picture of the manuscript laid in the manuscript stand (not shown) for every line according to the directions from system CPU11 and changing the shade of a picture into 8-bit digital data, via a scanner interface, It outputs to the image processing circuit 14 as time series digital data with a synchronized signal.

[0070]Said printer 15 comprises an image formation part (not shown) which combined with laser optical systems (not shown) and a transfer paper the electrophotographing system in which image formation is possible, According to the directions from system CPU11, 4-bit digital image data via a printer interface from the image processing circuit 14, After inputting synchronizing with a synchronized signal and forming an electrostatic latent image on a photo conductor drum (not shown) by the laser beam of pulse width according to the size of image data, The picture which visualized the above-mentioned electrostatic latent image by the visualizing means (not shown), and was visualized by the transfer means (not shown) is transferred to a transfer paper, the picture on a transfer paper is established by a fixing means (not shown), and this transfer paper is outputted.

[0071]Said control panel 12 comprises an indicator which displays the picture images stored in the state of a final controlling element and a system of setting the operational mode and the parameter of this device, or the page memory of the system basic unit 2.

[0072]Said system CPU11 also controls each part of the system basic unit 2 mentioned later.

[0073]Said image processing circuit 14 consists of the smoothing edge enhancement circuit 14a, the edit/moving circuit 14b, the expansion/reducing circuit 14c, and 14d of gray-scale-conversion circuits, as shown in drawing 4.

[0074]Said smoothing edge enhancement circuit 14a removes the noise mixed at the time of image reading by a smoothing circuit, and is radicalized by an edge enhancement circuit in the edge which the Japanese quince produced by smoothing.

[0075]Said edit / moving circuit 14b are the blocks which perform simple editing processing of a line unit, and performs moving processing of a line direction, and masking/trimming treatment, for example.

[0076]Said expansion / reducing circuit 14c perform scaling processing with the combination of the repetition processing of a pixel or infanticide processing according to the specified variable power rate, and interpolation processing.

[0077]Gray scale conversion of said 14 d of gray-scale-conversion circuits is carried out to the gradation number which specified 1-pixel the 8-bit image data read with said scanner 13 using the area gradation technique. And the image data which carried out gray scale conversion is sent to said system basic unit 2 via the printer 15 or the scanner data bus 17, and said basic part image interfaces 5 by 1-pixel the 4-bit image data which is the number of bits of a printer.

[0078]Amendment of the nonlinearity of the input-output behavioral characteristics of said printer 15 is simultaneously performed, when performing gradation processing using the area gradation technique.

[0079]As shown in drawing 4, said system basic unit 2, Control the communication of control information with system CPU11 in the page memory 28 which memorizes the bit image data read with the scanner 13 as image data, the coding data which compressed this image data, etc., and the basic unit 1, and CPU in the system extensiveness unit 3, or, The data transfer between each device in the system control circuit 21 which controls access to the page memory 28 from the basic unit 1 and the system extensiveness unit 3, the page memory address control circuit 26 which generates the address of the page memory 28, and the system basic unit 2. The page

memory data control circuit 27 which controls data transfer when performing data transfer of the page memory 28 and other devices via the picture bus 29 to perform and this picture bus 29 is formed.

[0080]The page memory 28 comprises the imaging range (a work area, an image memory) 28a which memorizes the image data for 1 page, and the numerals field (file area) 28b which memorizes the coding data in which it was compressed for two or more pages. It is constituted by DRAM which the described image field 28a mentions later.

[0081]When transmitting image data to the apparatus by which image data I/F210 which interfaces image data when transmitting the basic unit 1 and image data via the basic part image interfaces 5 differs from resolution, change image data into the resolution of other apparatus, or, Change into the resolution of the printer 15 of the basic unit 1 the image data which received from the apparatus by which resolution differs, or, Compress and transmit image data like the definition conversion binary rotary circuit 212 which performs the 90-degree rotating process of binary image data, facsimile transmission, or optical disk storing, or, The compression / expansion circuit 211 elongated in order that the image data inputted for the device to memorize may be compressed or the image data of the compressed gestalt may visualize via the printer 15 are formed.

[0082]The FONT memory the character font is remembered to be, the work memory which memorizes temporarily the control information which system CPU11 uses, The system basic unit 2 is used. Processing. System DMA controller 23 for performing data transfer between the devices of the system memory (ROM/RAM) 24 which comprises program memory etc. the processing program when carrying out is remembered to be, and the basic part system bath 16 at high speed, Exchange control information between the printer controller 9 and system CPU11, or, When performing image data transfer between the printer controller 9 and the picture bus 29, the printer controller interface 213 which interfaces the above-mentioned control information and image data is formed.

[0083]It is connected to the system control circuit 21, and is connected to the communication memory 25 for making control information memorize, when communicating control information between system CPU11 and CPU of the system extensiveness unit 3, and image data I/F210, When outputting image data from the printer 15, the multiple-value rotation memory 214 which uses image data 90 degrees or when rotating 180 degrees and outputting is formed.

[0084]Said FAX units 8 and the printer controller 9 are connected by an option.

[0085]As shown in drawing 5, said system extensiveness unit 3, Each internal device via the extension system bath 43. The ISA bus controller 33 which interfaces extended CPU31 to control, extended DMA controller 32 which controls the data transfer on the extension system bath 43, general-purpose ISA Bus 44, and the extension system bath 43 and ISA Bus 44, The preserving means for being connected to the extension system bath 43 and saving image data electronically, For example, the preserving means for being connected to the hard disk drive 35, the hard disk interface 34 which is the interface, and said ISA Bus 44, and saving image data electronically, For example, the printer controller control device 40 for realizing the Local Area Network communication control unit (LAN) 41 for realizing the optical disk unit 38, the optical disk interfacing 37 which is the interface, and LAN functions, and a printer function, Extended SCSI interface 42 used when connecting the device of G4 and the FAX control circuit 39 which has G4 and a FAX control facility, and SCSI specification, The image data from said printer controller control device 40 via said extended image interfaces 7. It comprises the buffer memory 36 which performs an interface when exchanging data between the extension picture bus 45 for outputting to the system basic unit 2, and said extension system bath 43 and the extension picture bus 45.

[0086]In addition, Said optical disk interface 37, the optical disk unit 38, G4 and the FAX control circuit 39, the printer controller control device 40, the Local Area Network communication control unit 41, and extended SCSI interface 42 are options, and have removable composition from the system extensiveness unit 3.

[0087]Said optical disk unit 38 is connected with ISA Bus 44 via the interface 37, and said extended CPU31 controls said optical disk unit 38 via the extension system bath 43, the ISA bus

controller 33, and ISA Bus 44 using the SCSI command.

[0088] Said Local Area Network communication control unit 41, The line control part which controls communication of other apparatus and control data on a network, or image data based on the protocol of the network system connected, It comprises the shared memory and system extensiveness bus interface which store temporarily communication control data, the image data, or control data and the image data from a system extensiveness bus from LAN.

[0089] The parallel interface of the Centronics conformity to which said printer controller control device 40 performs an exchange of a control code and image data between personal computers, The system extensiveness picture bus interface which takes an interface with the system extensiveness part picture bus 45 for transmitting bit image data to the page memory 28 of a system basic unit, The image data transfer controlling part which controls transmission of the image data in a device, Interpret the control code from a personal computer and tell extended CPU31 about control information via the extension system bath 43 and ISA Bus 44, or, After interpreting the printing control code from a personal computer and changing into bit information, it comprises a control means which memorizes bit information in the memory in a device, and a system extensiveness bus interface which takes an interface with ISA Bus 44.

[0090] Next, details are explained about the composition and the function of the important section in said system basic unit 2.

[0091] As shown in drawing 7, said system control circuit 21, The communication of control information with said system CPU11 and extended CPU31. The page memory access control circuit 403 which controls access to the page memory 28 from the communication memory access control circuit 401 to control, the communication memory interface 402 which takes an interface with said communication memory 25, the basic unit 1, and the system extensiveness unit 3, The address to which the control information sent from system CPU11 of the basic unit 1 via the basic part system bath 16 and image information are sent simultaneously is decoded. The basic part system bath interface 405 which distributes the above-mentioned control information or image information to the block in the applicable system basic unit 2, and the address to which the control information and image information from the system extensiveness unit 3 are sent simultaneously are decoded. The system extensiveness bus interface 406 distributed to the applicable block in a circuit, The means (CPU11 and DMA controller 22 in a basic unit) in which page memory access on the basic part system bath 16 is possible, and the means in which page memory access on the system extensiveness bus 43 is possible (CPU31 the system extensiveness unit 3.) And when DMA controller 32 accesses the image data in the page memory 28 via each system bath, It comprises the page memory interface 404 which interfaces the exchange of image data between said page memory access control circuit 403 and the page memory 28.

[0092] When CPU11 of the basic unit 1 and CPU31 of the system extensiveness unit 3 perform delivery of the communication memory 25 and a control code via the communication memory interface 402 in the system control circuit 21 in said communication memory access control circuit 401, Access of the communication memory 25 is controlled.

[0093] Said communication memory 25 is mapped by the memory space of CPU11 of the basic unit 1, and CPU31 of a system extensiveness unit, and the lead of data with said communication memory 25 and the light of it become possible by accessing a specific field from each.

[0094] Said communication memory access control circuit 401 is constituted by the arbitrating circuit 410, the communication memory access sequencer 412, the bidirectional selector 413, and the interruption control circuit 414 as shown in drawing 8.

[0095] Said arbitrating circuit 410 performs priority control of the communication memory access of CPU11 of the basic unit 1, and CPU31 of the system extensiveness unit 3. When CPU11 of said basic unit 1 and CPU31 of the system extensiveness unit 3 access the communication memory 25 simultaneously, one of accesses are permitted based on the set-up priority, and access of another side is kept waiting.

[0096] Said communication memory access sequencer 412 outputs the control signal of a lead or a light to the communication memory 25 based on the demand of permitted CPU.

[0097] Said bidirectional selector 413 is outputted to the communication memory 25

synchronizing with the timing signal with which the communication memory access sequencer 412 outputs the address to the communication memory 25 which the permitted control means outputted based on the mediation result of the arbitrating circuit 410. And CPU permitted in write operation outputs the communication information (data) outputted together with an address to the communication memory 25 with address information. The communication information read from the communication memory 25 by the timing signal which the address to the communication memory 25 and the communication memory access sequencer 412 from CPU permitted in read operation output is inputted, and is outputted to permitted CPU.

[0098]said page memory access control circuit 403 is shown in drawing 9 -- as -- the arbitrating circuit 430, the data registers 431, 432, 436, and 437, the address register 433, bidirectional SEREQU 434, and the page memory access sequencer 435 -- composition -- now, it is.

[0099]Said arbitrating circuit 430 performs priority control of page memory access of CPU11 of the basic unit 1, and CPU31 of the system extensiveness unit 3. When CPU11 and CPU31 access the page memory 28 simultaneously, access of one of CPUs is permitted based on the set-up priority, and access of CPU of another side is kept waiting.

[0100]Said page memory access sequencer 435 outputs the control signal of a lead or a light to the address control circuit 26 to the page memory 28 based on the demand of permitted CPU.

[0101]Said bidirectional selector 434 is outputted to the address control circuit 26 synchronizing with the timing signal with which the page memory access sequencer 435 outputs the address to the page memory 28 which permitted CPU outputted based on the mediation result of the arbitrating circuit 430. And CPU permitted in write operation outputs the information (data) outputted together with an address to the data control circuit 27 with address information. The image data read from the page memory 28 by the timing signal which the address to the page memory 28 and the page memory access sequencer 435 from CPU permitted in read operation output is inputted via the data control circuit 27, It outputs to CPU permitted [above-mentioned].

[0102]Said data register 431 and the data register 432, When the basic unit 1 accesses the page memory 28, it is a register in which data is stored temporarily, and said address register 433 is a register which memorizes temporarily the address of the page memory 28 which the basic unit 1 outputs.

[0103]Here, when the basic unit 1 accesses the page memory 28 using the data register 431, the address which the basic unit 1 outputted is temporarily stored in the address register 433, and is outputted to the page memory 28 via the address control circuit 26. On the other hand, when the basic unit 1 accesses the page memory 28 using the data register 432, the address which the basic unit 1 outputs is disregarded and the address generating part of the address control circuit 26 outputs an address to the page memory 28 based on setup information.

[0104]Said data register 436 and the data register 437, It is a register in which data is temporarily stored when the system extensiveness unit 3 accesses the page memory 28, When the system extensiveness unit 3 accesses the page memory 28, in both registers, the address generating part of the address control circuit 26 outputs an address to the page memory 28 based on setup information.

[0105]System DMA controller 23 of the basic unit 1 is a controller for transmitting the data transfer between the devices on the basic part system bath 22 at high speed in hard, without intervening CPU11 of the basic unit 1.

[0106]As processing which performs data transfer using said system DMA controller 23, Transmission of the compressed data (coded data) between the page memory 28 in FAX transmitting and receiving processing, and FAX units 8, The system memory 24 for displaying transmission of the page memory 28 for displaying the image on the page memory 28 on the control panel 12 and the image data between the control panels 12 and an operation screen on the control panel 12, the data transfer between the control panels 12, etc. occur.

[0107]The address control circuit 26 which generates the address of said page memory 28, As shown in drawing 10, By the request from the picture bus 29. In the transmission from the transfer control sequencer 610 which performs various kinds of data transfer sequences, the mediation part 611 which performs mediation for the request of the picture bus 29, and the

request of the system bath 22, and the picture bus 29. The various memory addresses of two or more channels. It comprises DRAM control part 614 which generates the address and control signal of the address generating part 612 to generate, the selector 613 which switches the address outputted from this address generating part 612, and a system address, and DRAM (imaging range 28a).

[0108]Said address control circuit 26 receives a memory access request from two lines, the picture bus 29 and the system bath 22. As for this request, mediation is performed by the mediation part 611, and data transfer processing of the side which overcame mediation is performed.

[0109]When the request by the side of a system bath overcomes mediation, the system address where the selector 613 was selected is inputted into DRAM control part 614. DRAM control part 614 changes the inputted address into the address of DRAM (imaging range 28a), and it generates a control signal required for a lead and a light.

[0110]An address channel signal is inputted into the transfer control sequencer 610 with a request from the picture bus 29, and one is chosen from two or more address generators in the address generating part 612. If the request by the side of the picture bus 29 overcomes mediation, the memory address of the selected channel will be outputted from the address generating part 612, and will be inputted into DRAM control part 614.

[0111]As shown in drawing 11, said address generating part 612 with the channel select signal from the two-dimensional address generators 631, 632, and 633 of four channels, the FIFO address generators 635 and 636 of 634 or 2 channels, and a transmission sequencer. It is constituted by the selector 637 which chooses one of those memory addresses to generate.

[0112]By using the two-dimensional address generator which can generate such various kinds of addresses, Image editings, such as movement of a picture, rotation, vertical and horizontal conversion, a repetition, and a mirror image, are possible among the arbitrary fields of the page memory 28 by using the transmission and rotation read to the arbitrary rectangular areas of the page memory 28, and two repetition read-out and two-dimensional address generators.

[0113]The FIFO address generators 635 and 636 generate the FIFO address for using the page memory 28 as a FIFO memory, and status required for FIFO control.

[0114]as status -- FIFO full (state full of a FIFO area by the data of non-read-out), and FIFO -- there are empty (state without the data of non-read-out to a FIFO area) and a FIFO half (state which carries out unread appearance more than half to a FIFO area, and has data in it). The data volume and the availability included in FIFO can be known by reading the register of FIFO from system CPU11.

[0115]By performing FIFO control using these status, from a device to the device of the picture bus 29. Or when transmitting to the system bath 22 from the device of the picture bus 29, each transfer rate and the difference of transfer timing can be absorbed by a FIFO memory, and high-speed data transfer is possible.

[0116]The FIFO address generators 635 and 636 can be used as a one-dimensional address generator for two per channel, when not performing FIFO control.

[0117]As shown in drawing 12, said data control circuit 27 The data transfer between the devices on the picture bus 29 in the system basic unit 2, And CPU11 of the image processing part 702 which performs the image-data-transfer control section 701, the bit block transfer, and various raster operations (logical operation) which control the device on the picture bus 29, and the data transfer between the page memories 28, and the basic unit 1. Or when CPU31 of the system extensiveness unit 3 accesses the page memory 28 via said system control circuit 21 (read/write). In the writing processing to the system interface 703 and the page memory 28 which interface ** data. In the data from the device on the picture bus 29 sent via said image-data-transfer control section 701 based on the page memory access mediation result of said address control circuit 26. Or the selector 704 which chooses whether it is data from CPU (CPU11 of the basic unit 1, or CPU31 of the system extensiveness unit 3) sent via the system interface 703, . [whether data is sent to the device on the picture bus 29 which passed said image-data-transfer control section 701 based on the page memory access mediation result of said address control circuit 26 in read-out processing of the data from the page memory 28,

and] Or it comprises the selector 705 which chooses whether data is sent to CPU (CPU11 of the basic unit 1, or CPU31 of the system extensiveness unit 3) through the system interface 703.

[0118]Next, control of said image-data-transfer control section 701 shown in drawing 12 is explained. There are the following two gestalten in the transfer form of the image data which the image-data-transfer control section 701 controls.

[0119]One gestalt is the data transfer between the I/O devices on the picture bus 29 of the system basic unit 2, Sauce (source)/destination (destination) is on the picture bus 29, It comprises a two cycle of the read cycle which incorporates data into the data buffer in the image-data-transfer control section 701 from sauce, and the write cycle which writes the data on a data buffer in a destination.

[0120]Another gestalt is an I/O device on the picture bus 29 of the system basic unit 2, and the data transfer between the page memories 28, It comprises an I/O device, a data transfer cycle between the data buffers in the image-data-transfer control section 701, and two cycles of the data transfer between a data buffer and the page memory 28.

[0121]Since it is independent of the picture bus 29 between the page memory 28 and a data buffer, two cycles can be operated in parallel.

[0122]The image-data-transfer control section 701 can specify eight data transfer of the two above-mentioned gestalten, and the data transfer of eight channels is simultaneously possible for it.

[0123]As shown in drawing 13, said image-data-transfer control section 701, The data buffer 740, the picture bus priority control part 741, the transfer control sequencer 742, the page memory priority control part 743, the page memory timing control section 744, the terminal counter 745, the interruption control section 746, the control bus interface 747, It is constituted by the parameter registers 748 and I/O buffer 749.

[0124]Said data buffer 740 has a data register which stores the data from sauce temporarily in data transfer several channel minutes.

[0125]Said picture bus priority control part 741 inputs the data transfer request (REQ) from the device on the picture bus 29, determines the device which permits data transfer by predetermined priority control, and notifies a start for data transfer to the permitted device (ACK).

[0126]Said transfer control sequencer 742 generates the timing signal of the data transfer between the source device determined based on the priority control result of said picture bus priority control part 741, and a destination device, and outputs it to the picture bus 29.

[0127]Said page memory priority control part 743 inputs the request signal which the data buffer 740 outputs, and determines the data transfer channel between the page memory 28 and the data buffer 740 based on a predetermined priority.

[0128]Said page memory timing control section 744 generates the timing signal of the page memory 28 of the transfer channels determined based on the priority control result of the page memory priority control part 743, and the data transfer between the data buffers 740, and outputs it to the address control circuit 26. The transfer request signal from the data buffer 740, In the state where the data from the device on the picture bus 29 is stored in the data buffer 740 in the light processing to the page memory 28. When it is in the state where data is not stored in the data buffer 740 in the read processing of the data from the page memory 28, it is outputted to the page memory priority control part 743.

[0129]Said parameter registers 748 are registers which set up the existence of the source for every transfer channels, the destination, a transmission number of bytes, and the interruption processing at the time of the end of transmission, etc. Said picture bus 29 has the data width of 32 bits, and does not depend it on the bit width of 1 pixel, but 32-bit data transfer is always performed. For example, when writing the data of a binary (1 bit/(pixel)) in the page memory 28 from the scanner 13, In the picture bus 29 top, when 32 picture element data is transmitted to the page memory 28 via the image-data-transfer control section 701 from image data I/F210 at once and it writes the data of a multiple value (4 bits/(pixel)) in the page memory 28, the picture bus 29 top is transmitted to 8-pixel data at once. 32-bit-ization of data is performed by each

device on the picture bus 29 according to the number of bits of 1 pixel, respectively.

[0130]The data transfer priority control on said picture bus 29 like the output to the printer 15, and the input process from the scanner 13, The transfer request from the device which can stop on the way or cannot keep data transfer waiting is permitted preferentially, The transfer request of the device which can keep data transfer waiting like compression/elongation processing, or definition conversion processing is decided that the character of a device determines a priority as a permission is granted, only when there is no transfer request from a device with a high priority.

[0131]By the way, the timer 900 is connected to the system bath 16 of drawing 3. This timer 900 comprises the timer controlling section 901, the reference clock generating circuit 902, the reference clock frequency divider 903, and the down counter 904, as shown in drawing 14.

[0132]The timer controlling section 901 performs division ratio setting out of the reference clock frequency divider 902, count start of the down counter 904, and control of a stop via the system bath 16 from system CPU11.

[0133]The timer controlling section 901 can generate an interrupt signal to system CPU11 with the carry down signal outputted from the down counter 904.

[0134]The reference clock generating circuit 902 generates a 25-MHz exact square wave with a crystal oscillator.

[0135]By setting out from system CPU11, the reference clock frequency divider 903 carries out dividing of the reference clock to the frequency of $1/n$ by the arbitrary division ratios from $1/1$ to $1/65536$.

[0136]The down counter 904 is counted down with a 32-bit binary down counter synchronizing with a dividing clock. The initial value of this down counter 904 is set up via the system bath 16 from system CPU11.

[0137]If a carry down (winding from 0 and falling) arises in the down counter 904, the initial value set up by system CPU11 last time will be set up automatically. The value of this down counter 904 can be read from system CPU11 via the system bath 16 at any time.

[0138]A start and stop of the down counter 904 of countdown are controlled by the count enable signal outputted from the timer controlling section 901.

[0139]Next, the detailed composition of the picture bus priority control part 741 of drawing 13 is explained with reference to drawing 15. The picture bus priority control part 741 is constituted by a picture bus transfer request mediation part and the request generating part 912 for 911 or 8 request mask circuits for 910 or 8 channels.

[0140]The request generating part 912 is independently for every transfer channels of eight channels. A picture bus transfer request signal and channel buffer status are inputted into the request generating part 912 of each channel, and when both conditions are fulfilled, a transfer request with an effective inside is generated. Here, a picture bus transfer request signal is a signal activated when the device connected to the picture bus 29 requires the data transfer in the picture bus 29. Channel buffer status is a signal showing the state of the data buffer 740 for data delivery of each transfer channels, and there are two states of "full" where the "empty" state and effective data in which data effective in the data buffer of the channel is not contained are contained.

[0141]In the case of the device read transfer from the device of the picture bus 29 to the data buffer 740. The buffer status of the data buffer of a channel to transmit is "empty", and from a device, when the request signal over the channel is active, a transfer request with a more effective inside than the request generating part 911 occurs. In the case of the device light transmission to the device of the picture bus 29 from the data buffer 740. There is data effective in the data buffer 740 of a channel to transmit, buffer status is "full", and from a device, when the request signal over the channel is active, a transfer request with a more effective inside than the request generating part 912 occurs.

[0142]It is being controlled whether the request mask circuit 911 validates the transfer request made from the request generating part 912 of the preceding paragraph.

[0143]Transfer-channels enabling determines permission and un-granting a permission of transmission of the channel.

[0144]It is for TC mask performing transferring amount control, and if numbers of words to transmit to the terminal counter 745 beforehand are set up and it finishes transmitting predetermined numbers of words, TC mask will become active and transmission of the channel will be forbidden. When not performing this transferring amount control, TC mask is always made inactive by setting out.

[0145]When a FIFO control mask performs FIFO control, it is controlling the transfer permission and prohibition of the channel, and a FIFO control mask is active, it transmission-forbids, and it is inactive and serves as a transfer permission.

[0146]Whether FIFO control is performed as the FIFO status from the FIFO address generators 635 and 636, it carries out by the comparison result of the transmission comparator of the terminal counter 745, or FIFO control is not performed choose by setting out from system CPU11. When not performing FIFO control, the FIFO control mask is always made inactive by setting out.

[0147]The picture bus transfer request mediation part 910 arbitrates the transfer request for eight channels which the request mask circuit 911 generates, and chooses one channel, The picture bus transmission acknowledgement signal which shows that the request was received to the device of the selected channel and transmission was permitted is outputted. The device which received this acknowledgement signal performs data transfer on the picture bus 29.

[0148]The priority control of the mediation performed when a transfer request occurs from two or more channels is performing round robin control as for which the priority of the channel which transmitted last time becomes the lowest, when the channels 1-8 are arranged in ring shape. Therefore, since turn certainly turns while transmission is performed 8 times, even if all eight channels are continuing advancing a transfer request, transmission is performed uniformly [each channel].

[0149]Next, the detailed composition of the page memory priority control part 743 of drawing 13 is explained with reference to drawing 16. This page memory priority control part 743 is constituted by the request generating part 923 for 922 or 8 request mask circuits for 921 or 8 page memory transfer request mediation parts.

[0150]The request generating part 923 is independently for every transfer channels of eight channels. Channel buffer status is inputted into the request generating part 923 of each channel, and when the conditions of channel buffer status are fulfilled, a transfer request with an effective inside is generated.

[0151]Channel buffer status is a signal showing the state of the data buffer 740 for data delivery of each transfer channels, and there are two states of "full" where the "empty" state and effective data in which data effective in the data buffer 740 of the channel is not contained are contained.

[0152]When the buffer status of the data buffer 740 of a channel to transmit is possible for the receipt of "empty, i.e., data," in the memory read transmission to the data buffer 740 from the page memory 404, a transfer request with a more effective inside than the request generating part 923 occurs.

[0153]There is data effective in the data buffer 740 of a channel to transmit in the memory write transmission to the page memory 404 from the data buffer 740, and when buffer status is "full", a transfer request with a more effective inside than the request generating part 923 occurs.

[0154]It is being controlled whether the request mask circuit 922 validates the transfer request made from the request generating part 923 of the preceding paragraph.

[0155]Transfer-channels enabling determines permission and un-granting a permission of transmission of the channel.

[0156]It is for TC mask performing transferring amount control, and if numbers of words to transmit to the terminal counter 745 beforehand are set up and it finishes transmitting predetermined numbers of words, TC mask will become active and transmission of the channel will be forbidden. When not performing transferring amount control, TC mask is always made inactive by setting out.

[0157]When a FIFO control mask performs FIFO control, it is controlling the transfer permission and prohibition of the channel, and a FIFO control mask is active, it transmission-forbids, and it

is inactive and serves as a transfer permission.

[0158]Whether FIFO control is performed as the FIFO status from the FIFO address generators 635 and 636, it carries out by the comparison result of the transmission comparator of the terminal counter 745, or FIFO control is not performed choose by setting out from system CPU11. When not performing FIFO control, the FIFO control mask is always made inactive by setting out.

[0159]The page memory transfer request mediation part 921 outputs the selection signal (RCHN) of the address generator which arbitrates the transfer request for eight channels which the request mask circuit 922 generates, chooses one channel, and is set as the selected channel to the address control section 26.

[0160]The priority control of the mediation performed when a transfer request occurs from two or more channels is performing round robin control as for which the priority of the channel which transmitted last time becomes the lowest, when the channels 1-8 are arranged in ring shape. Therefore, since turn certainly turns while transmission is performed 8 times, even if all eight channels are continuing advancing a transfer request, transmission is performed uniformly [each channel].

[0161]Next, the detailed composition of the terminal counter 745 of drawing 13 is explained with reference to drawing 17. The terminal counter 745 counts the transmission numbers of words for every channel, and is constituted by the four number comparators 933 of transmission connected to 932 or 2 transmission numbers-of-words counters for 931 or 8 countdown signal generators one.

[0162]The countdown signal generator 931 outputs a countdown signal according to a transmission terminate signal to the transfer-channels signal based on the mediation result of the picture bus priority control part 741, and the selected transmission numbers-of-words counter 932 of a channel.

[0163]The transmission numbers-of-words counter 932 is a 32-bit binary down counter counted down whenever 1 transmission of the picture bus 29 of the channel is completed. Here, the initial value of the counter 745 is set up via the system bath 16 from system CPU11. If a carry down (winding from 0 and falling) arises, a terminal count signal will be outputted.

[0164]The value of the transmission numbers-of-words counter 932 can be read from system CPU11 via the system bath 16 at any time.

[0165]The interrupt mask circuit 934 performs permission and un-granting a permission of interruption to system CPU to the terminal count signal for eight channels, and outputs what took those logical sum and was summarized to one as a terminal count interrupt signal. Setting out of permission and not granting a permission of each channel is performed from system CPU11.

[0166]The number comparator 933 of transmission compares the transmission numbers of words of two channels, and when transmission numbers of words are equal, it outputs actively as a comparison result.

[0167]Arbitration can make respectively each transmission numbers of words compared by setting out positive number double, and the number comparator 933 of transmission can compare them. Usually, it is used 1 time, carrying out respectively. For example, a comparison result becomes active, when A is set up twice, B was set up 1 time to two channels, A and B, and A transmission numbers of words amount to one half of the transmission numbers of words of B. This comparison result is used as a control signal at the time of performing FIFO control between two channels.

[0168]Next, operation is explained in the above composition. First, the basic motion which inputs image data into the page memory 28 from the scanner 13 is explained. The image output data which is 8 bits/pixel of the manuscript which the scanner 13 read, It is transmitted to the picture data interface 210 through the image processing circuit 14 as scanner image (8-bit [// pixel], 4-bit [// pixel], 2-bit [// pixel], or 1 bit/pixel) data, Two or more pixels (4, 8, 16 or 32 pixels) of scanner image data are collected by the picture data interface 210 inside, and a DMA transfer is carried out via the picture bus 29 to the data control circuit 27 as data transmitting of a 32-bit unit.

[0169]The data control circuit 27 is writing 32-bit scanner image data in the address of the page memory 28 generated in the address control circuit 26.

[0170]Next, the processing which compresses the image data on the page memory 28 is explained. The page memory 28 is logically distinguished to the numerals field 28b which memorizes the imaging range 28a which memorizes image data, and the compressed code data.

[0171]Two from the image input of the compression expansion circuit 211 and the numerals output of the compression expansion circuit 211 to [from the imaging range 28a of the page memory 28] the numerals field 28b of the page memory 28 are set as the image-data-transfer control section 701 as a transfer path.

[0172]A lot of pictures are recordable on a recording medium with lower bitwise by making the destination of a numerals output into the hard disk interface 34 or the optical disk interface 37.

[0173]After performing many setting out of compression processing to the compression expansion circuit 211, encoding start instructions are performed.

[0174]Image data is read from the page memory 28, and is inputted into the compression expansion circuit 211. The compression expansion circuit 211 codes a picture and outputs numerals to the numerals field 28b of the page memory 28.

[0175]Next, the elongation processing to the page memory 28 of the coded image data is explained. Two from the code input of the compression expansion circuit 211 and the generating picture of the compression expansion circuit 211 to [from the numerals field 28b of the page memory 28] the imaging range 28a of the page memory 28 are set as the image-data-transfer control section 701 as a transfer path. A lot of pictures accumulated in the recording medium with a lower bit unit price are recordable by making the source of a code input into the hard disk interface 34 or the optical disk interface 37.

[0176]After performing many setting out of elongation processing to the compression expansion circuit 211, a decryption start command is executed.

[0177]Code data is read from the page memory 28, and is inputted into the compression expansion circuit 211. And the compression expansion circuit 211 decrypts a picture and outputs image data to the imaging range 28a of the page memory 28.

[0178]Next, the printer output operation from the page memory 28 to the printer 15 is explained. First, image data is outputted to the printer 15 from the page memory 28. After the image data of the 32-bit unit specified in the address of the page memory 28 generated in the address control circuit 26 is transmitted to the data control circuit 27, the DMA transfer of it is carried out via the picture bus 29 to the picture data interface 210.

[0179]It changes [pixel] from 32-bit image data in the number of bits of 4 bits/pixel of 1 pixel for outputting to the printer 15, 2 bits [pixel] /, or 1 bit /, and a transfer output is carried out [at some picture data interfaces 210] through the image processing portion 14 to the printer 15.

[0180]Basic motion called the elongation processing to the page memory 28 of the image data which was image-data-compression-processed [the image input operation to the page memory 28 from the scanner 13 and] on the page memory 28 as mentioned above, and was coded, and the printer output operation from the page memory 28 to the printer 15 is performed.

[0181]Next, electronic sorting is explained with reference to drawing 18. Electronic sorting reads two or more manuscripts which are the targets of sorting, once accumulates them in memory storage, such as semiconductor memory, a hard disk, an optical disc, and is arbitrary things which carry out a number-of-sheets output in arbitrary order about the accumulated picture. By doing so, it becomes possible to output previously the page inputted later, to prepare the page order of a printout or to output two or more copies of things which became page order. In the case of the group output, drawing 18 is outputted the number of necessary parts every sequentially from the manuscript inputted into the very end, if the manuscript of four sheets is inputted in order as shown in the figure which is an example of electronic sorting. Since what was outputted later is checkmated, the manuscript inputted first is checkmated on the top and a paper is outputted.

[0182]On the other hand, in the case of a sort output, it outputs one copy at a time by the manuscript input and a reverse order, and it is repeated several necessary part minutes.

[0183]Here, the image memory (DRAM: imaging range 28a) of this invention and generating operation of a two-dimensional address are explained.

[0184]In advance of explanation of an image memory, usual access of DRAM and the difference in a fast page mode are explained.

[0185]First, the outline of the internal configuration of DRAM (imaging range 28a) is explained.

[0186]Drawing 19 shows the example of 1 composition of DRAM which can carry out 1048576-piece (address) memory of the 16-bit data, The timing generator 1001, the row address register 1002, the line address decoder 1003, the sequence address register 1004, the row address decoder 1005, the memory array 1006, the line data register 1007, the sequence data selector 1008, And it comprises the data input/output buffer 1009.

[0187]MMA [9:0] inputs the address which specifies whether writing and read-out are performed for data as which 1048576 addresses. Control signal RAS.CAS.WE controls incorporation of an address and the timing of input and output of data. MD [15:0] outputs and inputs 16-bit data. In order to specify 1048576 addresses, a 20 bits ($1048576=2^{20}$) address signal is needed, but the address for 20 bits is specified by inputting 10 bits of MMA [9:0] in 2 steps.

[0188]MMA[9:0] control-signal RAS.CAS.WE is supplied from the address control circuit 26, and MD [15:0] is outputted to the data control circuit 27.

[0189]The row address register 1002 holds MMA [9:0] into which the sequence address register 1004 holding MMA [9:0] inputted as a line address was inputted as a column address. The timing generator 1001 generates the timing holding an address on the basis of a RAS. CAS signal. The line address decoder 1003 decodes a 10-bit line address to 1024 bits ($1024=2^{10}$) for specifying an individual line. The row address decoder 1004 decodes a 10-bit column address to 1024 bits for specifying an individual sequence similarly. The memory array 1006 is a portion which actually memorizes data, and constitutes 16 bits whose arrays of 1024 lines and these 1024 lines hung 1024 rows one line which makes 1024 rows per bit a storage unit is the **** data bits by 16 sheets.

[0190]The lead of DRAM inputs a line address first and holds a line address to the row address register 1002 with a RAS signal. A line address is decoded by the line address decoder 1003, and chooses the specific line of the memory array 1006. The data of the line which read-out of DRAM was performed per line and chosen is held at the line data register (1024 rows are 16 bits) 1007. Next, a column address is inputted and a column address is held to the sequence address register 1004 with a CAS signal. A column address is decoded by the row address decoder 1005, and chooses the data of a specific sequence from the data for 1024 rows held at the line data register 1007 based on the decoded result by the sequence data selector 1008. The data chosen as the sequence data selector 1008 is outputted outside (data control circuit 27) by the data input/output buffer 1009. Finally the data for one line of the line data register 1007 is written in the original line on the memory array 1006, and read operation is ended. The reason for performing write return in the original line is for destroying the data on the memory array 1006 read from the memory array 1006 to the line data register 1007 when [of one line] reading.

[0191]The light of DRAM inputs a line address and holds a line address to the row address register 1002 with a RAS signal. A line address is decoded by the line address decoder 1003, and chooses the specific line of the memory array 1006. The data of the line which read-out of DRAM was performed per line and chosen is held at the line data register (1024 rows are 16 bits) 1007. A column address is held to the sequence address register 1004 with a CAS signal. A column address is decoded by the row address decoder 1005, and is rewritten to the data into which the data for one row was inputted from the data input/output buffer 1008 among the data for 1024 rows held at the line data register 1007 based on the decoded result. That is, the data of a sequence in which the specified line was specified is rewritten on the line data register 1007. Next, the data for one line of the line data register 1007 is written in the original line on the memory array 1006, and write operation is ended.

[0192]After the burst access of DRAM gave the line address and reads the data for one line to the line data register 1007, It can read any number of times only by giving a column address, if the data of the same line is read, When writing in the same line address, only the column address

was given, and it has realized by returning to the memory array 1006 in the stage which was changed on the line data register 1007 and all change of the same line completed.

[0193]The usual lead timing is shown in (a) – (d) of drawing 20.

[0194]As shown in (a) – (d) of drawing 20, an address sets up a line address in falling of RAS, and sets up a column address one by one in falling of CAS, and data is outputted after predetermined time.

[0195]The lead timing of a fast page mode is shown in (a) – (d) of drawing 21.

[0196]As shown in (a) – (d) of drawing 21, the timing of a burst read cycle which gives one line address and the line address of plurality (a figure four address) to one access is shown. Since it is not necessary to give a line address each time so that it may understand as compared with the usual lead timing, it becomes possible to output and input data at high speed.

[0197]The point of this invention by constituting a two-dimensional block with the data of the same line address, when an image memory is constituted using DRAM in which the above burst accesses are possible, It is providing the image memory in which rapid access is possible, without making burst access possible to a transverse direction, a lengthwise direction, or the whole block, if it is in the same block, and calling at an access direction.

[0198]next, the correspondence relation between the pixel which constitutes a manuscript picture using drawing 22 and drawing 23, and the memory cell which constitutes DRAM (imaging range 28a) -- explaining .

[0199]Drawing 22 shows the pixel configuration of the manuscript picture.

[0200]– The manuscript picture of the example of a pixel configuration book comprises 256 pixels wide and 256 pixels long.

[0201]In order to show the position of a pixel, it shall be considered as a y-coordinate toward an x-coordinate and a top to the bottom toward the right from the left, and the picture element position on a manuscript shall be expressed with P (x, y). In this example, the pixel of P (1,256) and a lower right corner is set [the pixel of an upper left corner / the pixel of P (1, 1) and an upper right corner] to P (256,256) for the pixel of P (256, 1) and a lower left corner.

[0202]– The field which comprises block configuration 4 pixels wide, and 4 pixels long shall be 1 block, and divide a manuscript picture into 64 blocks wide and 64 blocks long.

[0203]In order to show the position of a block, it shall be considered as a y-coordinate toward an x-coordinate and a top to the bottom toward the right from the left, and the picture element position on a manuscript shall be expressed with B (x, y). In this example, the pixel of B (1, 64) and a lower right corner is set [the pixel of an upper left corner / the pixel of B (1, 1) and an upper right corner] to B (64, 64) for the pixel of B (64, 1) and a lower left corner.

[0204]Drawing 23 shows the composition of the memory cell of DRAM.

[0205]DRAM of this example is constituted from 1024 pieces by the column direction, and is constituted from 1024 memory cells by the line writing direction. A memory cell is the minimum unit that can be individually specified in the case of memory and read-out.

[0206]In order to show the position of a memory cell, it shall be considered as a line writing direction toward a column direction and a top to the bottom toward the right from the left, and M (a sequence, a line) shall show the position of a memory cell. In this example, the memory cell of M (1–1024) and a lower right corner is set [the memory cell of an upper left corner / the memory cell of M (1, 1) and an upper right corner] to M (1024–1024) for the memory cell of M (1024, 1) and a lower left corner.

[0207]Access to the memory cell of DRAM performs access to a specific memory cell by setting up an address in order of a line address and a column address.

[0208]If a line address is set as DRAM, all the string data (the contents of the memory cell of M (1–1024, line)) of the specified line will be transmitted to the line data register 1007 in DRAM all at once. Therefore, since access to the same cell of a line can once choose the data of the line data register 1007 only with a column address if it will be transmitted to the line data register 1007, it can shorten part processing time without the necessity of specifying a line address.

[0209]– P (x, y) shows the picture element position of the manuscript picture of drawing 22 among the related figure of the picture element position of a manuscript picture, a block position, and a memory cell position, and B (x, y) shows the block position.

[0210]As a memory cell which continues the block which comprises 16 pixels, the manuscript picture is matched in order of the direction of a column address, and the direction of a line address.

[0211]In this case, it is necessary to match so that the pixel which constitutes a block may certainly serve as the same line address. by doing so, it can be accepted once [of the beginning], and can come out and the continuous access to the pixel which is alike and corresponds to the pixel of the same block can perform line address specification only by specification of the column address corresponding to a pixel. If it is the same line address even if it is other blocks, accessing only by specification of a column address similarly is possible.

[0212]In this example, to 1 block 16 pixels, since the number of the memory cells of one line is 1024 (positive number twice of the pixel number which is 1 block), a block can be assigned without excess and deficiency.

[0213]- In the image writing to DRAM, and the manuscript of image input drawing 22 from the example and the scanner 13 of read-out, if a picture is read with the scanner 13, the image data of a pixel will be read one by one in order of a x direction and a y direction.

[0214]If expressed with a picture element position, P (1, 1) will be read first, it will be read from P (from 2 to 256, 1), P (from 1 to 256, 2), and the upper left toward the lower right in order, and, finally P (256,256) will be read.

[0215]The image data of the read pixel is transmitted to DRAM one by one, and is memorized by the corresponding memory cell.

[0216]What is necessary is to specify a line address again, only when only one line address specification is specified and line addresses differ in the continuation writing to the memory cell of the same line address on the occasion of the writing to a memory cell.

[0217]In this example, in order to explain simply, whenever it accesses a different block first, a line address shall be set up.

[0218][Writing of the 1st (start line) line]

Column address setting out of the line address setting out P (1, 1) of B (1, 1), data writing (start pixel)

Column address setting out of P (2, 1), column address setting out of data writing P (3, 1),

Column address setting out of data writing P (4, 1), column address setting out of the line address setting out P (5, 1) of data writing B (2, 1), Column address setting out of data writing P (6, 1), column address setting out of data writing P (7, 1), Column address setting out of data writing P (8, 1), data writing ... Column address setting out of the line address setting out P (253, 1) of B (64, 1), Column address setting out of data writing P (254, 1), column address setting out of data writing P (255, 1), column address setting out of data writing P (256, 1), data writing [writing of the 2nd line]

Column address setting out of the line address setting out P (1, 2) of B (1, 1), column address setting out of data writing P (2, 2), Column address setting out of data writing P (3, 2), column address setting out of data writing P (4, 2), Column address setting out of the line address setting out P (5, 2) of data writing B (2, 1), Column address setting out of data writing P (6, 2), column address setting out of data writing P (7, 2), Column address setting out of data writing P (8, 2), data writing ... Column address setting out of the line address setting out P (253, 2) of B (64, 1), Column address setting out of data writing P (254, 2), column address setting out of data writing P (255, 2), column address setting out of data writing P (256, 2), data writing ... [Writing of the 256th (last line) line]

Column address setting out of the line address setting out P (1,256) of B (1, 64), Column address setting out of data writing P (2,256), column address setting out of data writing P (3,256), Column address setting out of data writing P (4,256), column address setting out of the line address setting out P (5,256) of data writing B (2, 64), Column address setting out of data writing P (6,256), column address setting out of data writing P (7,256), Column address setting out of data writing P (8,256), data writing ... Column address setting out of the line address setting out P (253,256) of B (64, 64), Column address setting out of data writing P (254,256), column address setting out of data writing P (255,256), column address setting out of DEDA write-in P (256,256), data writing (the last pixel)

– The generating picture to the printer 15 (single beam)

– From the non rotary scanner 13, it is begun to read the image data of a pixel from a corresponding memory cell one by one in order of the x direction of the manuscript of drawing 22, and a y direction, and output the picture written in DRAM to the printer 15.

[0219]If expressed with the picture element position of a manuscript, P (1, 1) will be read first, P (from 2 to 256, 1) and P (from 1 to 256, 2) will be read from the upper left toward the lower right in order, and, finally P (256,256) will be read.

[0220]The image data of the memory cell corresponding to **** read is read from DRAM one by one, and a printer 15 HE output is carried out.

[0221]What is necessary is to specify a line address again, only when only one line address specification is specified and line addresses differ in continuation read-out to the memory cell of the same line address on the occasion of read-out of a memory cell.

[0222]In this example, in order to explain simply, a line address shall be first set as a different block for every access ****.

[0223][Read-out of the 1st (start line) line]

Column address setting out of the line address setting out P (1, 1) of B (1, 1), data read (start pixel)

Column address setting out of P (2, 1), column address setting out of data read P (3, 1), Column address setting out of data read P (4, 1), column address setting out of the line address setting out P (5, 1) of data read B (2, 1), Column address setting out of data read P (6, 1), column address setting out of data read P (7, 1), Column address setting out of data read P (8, 1), data read ... Column address setting out of the line address setting out P (253, 1) of B (64, 1), Column address setting out of data read P (254, 1), column address setting out of data read P (255, 1), column address setting out of data read P (256, 1), data read [read-out of the 2nd line]

Column address setting out of the line address setting out P (1, 2) of B (1, 1), column address setting out of data read P (2, 2), Column address setting out of data read P (3, 2), column address setting out of data read P (4, 2), Column address setting out of the line address setting out P (5, 2) of data read B (2, 1), Column address setting out of data read P (6, 2), column address setting out of data read P (7, 2), Column address setting out of data read P (8, 2), data read ... Column address setting out of the line address setting out P (253, 2) of B (64, 1), Column address setting out of data read P (254, 2), column address setting out of data read P (255, 2), column address setting out of data read P (256, 2), data read ... [Read-out of the 256th (last line) line]

Column address setting out of the line address setting out P (1,256) of B (1, 64), Column address setting out of data read P (2,256), column address setting out of data read P (3,256), Column address setting out of data read P (4,256), column address setting out of the line address setting out P (5,256) of data read B (2, 64), Column address setting out of data read P (6,256), column address setting out of data read P (7,256), Column address setting out of data read P (8,256), data read ... Column address setting out of the line address setting out P (253,256) of B (64, 64), Column address setting out of data read P (254,256), column address setting out of data read P (255,256), column address setting out of data read P (256,256), data read (the last pixel)

– By reading the picture written in DRAM from the 90 right rotation scanner 13 for the manuscript of drawing 22 one by one from the memory cell which corresponds the image data of a pixel in order of an anti-y direction and the direction of X, rotate a manuscript right 90 degrees and carry out a printer 15 HE output.

[0224]If expressed with the picture element position of a manuscript, P (1,256) will be read first, P (1,255-1) and (2,256 to 1) will be read from the lower left toward the upper right in order, and, finally P (256, 1) will be read.

[0225]The image data of the memory cell corresponding to the pixel read is read from DRAM one by one, and a printer 15 HE output is carried out.

[0226]What is necessary is to specify a line address again, only when only one line address specification is specified and line addresses differ in continuation read-out to the memory cell of the same line address on the occasion of read-out of a memory cell.

[0227]In this example, in order to explain simply, whenever it accesses a different block first, a

line address shall be set up.

[0228][Read-out of the 1st (start line) line]

Column address setting out of the line address setting out P (1,256) of B (1, 64), data read (start pixel)

Column address setting out of P (1,255), column address setting out of data read P (1,254),

Column address setting out of data read P (1,253), column address setting out of the line

address setting out P (1,252) of data read B (1, 63), Column address setting out of data read P

(1,251), column address setting out of data read P (1,250), Column address setting out of data

read P (1,249), data read ... Column address setting out of the line address setting out P (1, 4) of

B (1, 1), Column address setting out of data read P (1, 3), column address setting out of data

read P (1, 2), column address setting out of data read P (1, 1), data read [read-out of the 2nd

line]

Column address setting out of the line address setting out P (2,256) of B (1, 64), Column address

setting out of data read P (2,255), column address setting out of data read P (2,254), Column

address setting out of data read P (2,253), column address setting out of the line address setting

out P (2,252) of DENITA read-out B (1, 63), Column address setting out of data read P (2,251),

column address setting out of data read P (2,250), Column address setting out of data read P

(2,249), data read ... Column address setting out of the line address setting out P (2, 4) of B (1,

1), Column address setting out of data read P (2, 3), column address setting out of data read P

(2, 2), column address setting out of data read P (2, 1), data read [read-out of the 256th (last

line) line]

Column address setting out of the line address setting out P (256,256) of B (64, 64), Column

address setting out of data read P (256,255), column address setting out of data read P

(256,254), Column address setting out of data read P (256,253), column address setting out of

the line address setting out P (256,252) of data read B (64, 63), Column address setting out of

data read P (256,251), column address setting out of data read P (256,250), Column address

setting out of data read P (256,249), data read ... Column address setting out of the line address

setting out P (256, 4) of B (64, 1), Column address setting out of data read P (256,3), column

address setting out of data read P (256, 2), column address setting out of data read P (256, 1),

data read (the last pixel)

- By reading the picture written in DRAM from the 180 right rotation scanner 13 for the

manuscript of drawing 22 one by one from the direction of anti-X, and the memory cell which

corresponds the image data of a pixel in order of an anti-y direction, rotate a manuscript right 18

degrees and carry out a printer 15 HE output.

[0229]If expressed with the picture element position of a manuscript, P (256,256) is read first, in

order, P (255-1,256) and (256 to 1,255) will be read from the lower right to the upper left, and P

(1, 1) will be read to **, intermediary read-out, and the last.

[0230]The image data of the memory cell corresponding to the pixel read is read from DRAM one

by one, and a printer 15 HE output is carried out.

[0231]What is necessary is to specify a line address again, only when only one line address

specification is specified and line addresses differ in continuation read-out to the memory cell of

the same line address on the occasion of read-out of a memory cell. In this example, in order to

explain simply, whenever it accesses a different block first, a line address shall be set up.

[0232][Read-out of the 1st (start line) line]

Column address setting out of the line address setting out P (256,256) of B (64, 64), data read (start pixel)

Column address setting out of P (255,256), column address setting out of data read P (254,256),

Column address setting out of data read P (253,256), column address setting out of the line

address setting out P (252,256) of data read B (63, 64), Column address setting out of data read

P (251,256), column address setting out of data read P (250,256), Column address setting out of

data read P (249,256), data read ... Column address setting out of the line address setting out P

(4,256) of B (1, 64), Column address setting out of data read P (3,256), column address setting

out of data read P (2,256), column address setting out of data read P (1,256), data read [read-

out of the 2nd line]

Column address setting out of the line address setting out P (256,255) of B (64, 64), Column address setting out of data read P (255,255), column address setting out of data read P (254,255), Column address setting out of data read P (253,255), column address setting out of the line address setting out P (252,255) of data read B (63, 64), Column address setting out of data read P (251,255), column address setting out of data read P (250,255), Column address **** of data read P (249,255), data read ... Column address setting out of the line address setting out P (4,255) of B (1, 64), Column address setting out of data read P (3,255), column address setting out of data read P (2,255), column address setting out of data read P (1,255), data read ... [Read-out of the 256th (last line) line]

Column address setting out of the line address setting out P (256, 1) of B (64, 1), Column address setting out of data read P (255, 1), column address setting out of data read P (254, 1), Column address setting out of data read P (253, 1), column address setting out of the line address setting out P (252, 1) of data read B (63, 1), Column address setting out of data read P (251, 1), column address setting out of data read P (250, 1), Column address setting out of data read P (249, 1), column address setting out of the line address setting out P (4, 1) of data read B (1, 1), Column address setting out of data read P (3, 1), column address setting out of data read P (2, 1), column address setting out of data read P (1, 1), data read (the last pixel)

– By reading the picture written in DRAM from the 270 right rotation scanner 13 for the manuscript of drawing 22 one by one from the memory cell which corresponds the image data of a pixel in order of a y direction and the direction of anti-X, rotate a manuscript right 270 degrees and carry out a printer 15 HE output.

[0233]If expressed with the picture element position of a manuscript, P (256, 1) will be read first, P (from 256 and 2 to 256) and P (from 255 and 1 to 256) will be read from the upper right toward the lower left in order, and, finally P (1,256) will be read.

[0234]The image data of the memory cell corresponding to the pixel read is read from DRAM one by one, and a printer 15 HE output is carried out.

[0235]What is necessary is to specify a line address again, only when only one line address specification is specified and line addresses differ in continuation read-out to the memory cell of the same line address on the occasion of read-out of a memory cell.

[0236]In this example, in order to explain simply, whenever SU [a different block / first] bitter taste 7, a line address shall be set up.

[0237][Read-out of the 1st (start line) line]

Column address setting out of the line address setting out P (256, 1) of B (64, 1), data read (start pixel)

Column address setting out of P (256, 2), column address setting out of data read P (256, 3), Column address setting out of data read P (256, 4), column address setting out of the line address setting out P (256, 5) of data read B (64, 2), Column address setting out of data read P (256, 6), column address setting out of data read P (256, 7), Column address setting out of data read P (256, 8), column address setting out of the line address setting out P (256,253) of data read B (64, 64), Column address setting out of data read P (256,254), column address setting out of data read P (256,255), column address setting out of data read P (256, 256), data read [read-out of the 2nd line]

Column address setting out of the line address setting out P (255, 1) of B (64, 1), Column address setting out of data read P (255, 2), column address setting out of data read P (255, 3), Column address setting out of data read P (255, 4), column address setting out of the line address setting out P (255, 5) of data read B (64,2), Column address setting out of data read P (255, 6), column address setting out of data read P (255, 7), Column address setting out of data read P (255, 8), column address setting out of the line address setting out P (255,253) of data read B (64, 64), Column address setting out of data read P (255,254), column address setting out of data read P (255,255), column address setting out of data read P (255,256), data read ... [Read-out of the 256th (last line) line]

Column address setting out of the line address setting out P (1, 1) of B (1, 1), column address setting out of data read P (1, 2), Column address setting out of data read P (1, 3), column address setting out of data read P (1, 4), DE = Column address setting out of the line address

setting out P (1, 5) of TA read-out B (1.2), Column address setting out of data read P (1, 6), column address **** of data read P (1, 7), Column address setting out of data read P (1, 8), column address setting out of the line address setting out P (1,253) of data read B (1, 64), Column address setting out of data read P (1,254), column address setting out of data read P (1,255), column address setting out of data read P (1,256), data read (the last pixel)

– The generating picture to the printer 15 (multi-beam of four beams)

– Print four lines simultaneously by beginning to read the picture written in DRA one by one in order of the x direction of the manuscript of drawing 22, and a y direction from the memory cell which corresponds the image data of the pixel for four lines, and carrying out a printer 15 HE output from the non rotary scanner 13.

[0238]If expressed with the picture element position of a manuscript, P (from 1 and 1 to 4) is read first (four lines), in order, P (2, 1–4) and P (256, 1–4) will be read from the upper left to the lower right, and P (256,253–256) will be read to ** or **** read-out and the last.

[0239]The image data of the memory cell corresponding to the pixel read is read from DRAM one by one, and a printer 15 HE output is carried out.

[0240]Only when only one line address specification is specified and line addresses differ in continuation read-out to the memory cell of the same line address on the occasion of read-out of a memory cell, specification ***** is good in a line address again.

[0241]In this example, in order to explain simply, whenever it accesses a different block first, a line address shall be set up.

[0242][Read-out of the 1–4th (start line) line]

Column address setting out of the line address setting out P (1, 1–4) of B (1, 1), data read (a start pixel and four lines)

Column address setting out of P (2, 1–4), column address setting out of data read P (3, 1–4), DE = Column address setting out of TA read-out P (4, 1–4), column address setting out of the line address setting out P (5, 1–4) of data read B (2, 1), Column address setting out of data read P (6, 1–4), column address setting out of data read P (7, 1–4), Column address setting out of data read P (8, 1–4), data read ... Column address setting out of the line address setting out P (253, 1–4) of B (64, 1), Column address setting out of data read P (254, 1–4), column address setting out of data read P (255, 1–4), Column address setting out of data read P (256, 1–4), column address setting out of the line address setting out P (1, 5–8) of data read [read-out of 5–8th line] B (1, 2), Column address setting out of data read P (2, 5–8), column address setting out of data read P (3, 5–8), Column address setting out of data read P (4, 5–8), column address setting out of the line address setting out P (5, 5–8) of data read B (2, 2), column address setting out of data read P (6, 5–8), Column address setting out of data read P (7, 5–8), column address setting out of data read P (8, 5–8), Data read ... Column address setting out of the line address setting out P (253, 5–8) of B (64, 2), Column address setting out of data read P (254, 5–8), column address setting out of data read P (255, 5–8), column address setting out of data read P (256, 5–8), data read ... [Read-out of the 253–256th (last line) line]

Column address setting out of the line address setting out P (1,253–256) of B (1, 64), Column address setting out of Jeter read-out P (2,253–256), column address setting out of data read P (3,253–256), Column address setting out of data read P (4,253–256), column address setting out of the line address setting out P (5,253–256) of data read B (2, 64), Column address setting out of data read P (6,253–256), column address setting out of data read P (7,253–256), Column address setting out of data read P (8,253–256), data read ... Column address setting out of the line address setting out P (253,253–256) of B (64, 64), Column address setting out of data read P (254,253–256), column address setting out of data read P (255,253–256), column address setting out of data read P (256, 253–256), data read (the last pixel and four lines)

– Print simultaneously the picture of four lines as for which the 90 rights rotated the picture written in DRAM from the 90 right rotation scanner 13 by beginning to read the image data of **** for four lines one by one from a corresponding memory cell in order of the anti-y direction of the manuscript of drawing 22, and a x direction, and carrying out a printer 15 HE output.

[0243]If expressed with the picture element position of a manuscript, P (1–4,256) will be read first (four lines), P (1–4,255) and P (1–4, 1) will be read from the lower left toward the upper right

in order, and, finally P (253-256, 1) will be read.

[0244]The image data of the memory cell corresponding to the pixel read is read from DRAM one by one, and a printer 15 HE output is carried out.

[0245]What is necessary is to specify a line address again, only when only one line address specification is specified and line addresses differ in continuation read-out to the memory cell of the same line address on the occasion of read-out of a memory cell.

[0246]In this example, in order to explain simply, whenever it accesses a different block first, a line address shall be set up.

[0247][Read-out of the 1-4th (start line) line]

Column address setting out of the line address setting out P (1-4,256) of B (1, 64), data read (a start pixel and four lines)

Column address setting out of P (1-4,255), column address setting out of data read P (1-4,254), Column address setting out of data read P (1-4,253), column address setting out of the line address setting out P (1-4,252) of data read B (1, 63), Column address setting out of data read P (1-4,251), column address setting out of data read P (1-4,250), Column address setting out of data read P (1-4,249), data read ... Column address setting out of the line address setting out P (1-4, 4) of B (1, 1), Column address setting out of data read P (1-4, 3), column address setting out of data read P (1-4, 2), column address setting out of data read P (1-4, 1), data read [read-out of the 5-8th line]

Column address setting out of the line address setting out P (5-8,256) of B (2, 64), Column address setting out of data read P (5-8,255), column address setting out of data read P (5-8,254), Column address setting out of data read P (5-8,253), column address setting out of the line address setting out P (5-8,253) of data read B (2, 63), Column address setting out of data read P (5-8,252), column address setting out of data read P (5-8,251), Column address setting out of data read P (5-8,249), data read ... Column address setting out of the line address setting out P (5-8, 4) of B (2, 1), Column address setting out of data read P (5-8, 3), column address setting out of data read P (5-8, 2), column address setting out of data read P (5-8, 1), data read ... [Read-out of the 253-256th (last line) line]

Column address setting out of the line address setting out P (253-256,256) of B (64, 64), Column address setting out of data read P (253-256,255), column address setting out of data read P (253-256,254), Column address setting out of data read P (253-256,253), column address setting out of the line address setting out P (253-256,252) of data read B (64, 63), Column address setting out of data read P (253-256,251), column address setting out of data read P (253-256,250), Column address setting out of data read P (253-256,249), data read ... Column address setting out of the line address setting out P (253-256, 4) of B (64, 1), Column address setting out of data read P (253-256, 3), column address setting out of data read P (253-256, 2), column address setting out of data read P (253-256, 1), data read (the last pixel and four lines)

- Print simultaneously the picture of four lines as for which the 180 rights rotated the picture written in DRAM from the 180 right rotation scanner 13 by beginning to read one by one and carrying out a printer 15 HE output from the anti-x direction of the manuscript of drawing 22, and the memory cell which corresponds the image data of the pixel for four lines in order of an anti-y direction.

[0248]If expressed with the picture element position of a manuscript, P (256,256-253) is read first (four lines), in order, P (255,256-253) and P (1,256-253) will be read from the lower right to the upper left, and P (1, 4-1) will be read to **, intermediary read-out, and the last.

[0249]The image data of the memory cell corresponding to the pixel read is read from DRAM one by one, and a printer 15 HE output is carried out.

[0250]What is necessary is to specify a line address again, only when only one line address specification is specified and line addresses differ in continuation read-out to the memory cell of the same line address on the occasion of read-out of a memory cell.

[0251]In this example, in order to explain simply, whenever it accesses a different block first, a line address shall be set up.

[0252][Read-out of the 1-4th (start line) line]

Column address setting out of the line address setting out P (256,256-253) of B (64, 64), data

read (a start pixel and four lines)

Column address setting out of P (255,256-253), column address setting out of data read P (254,256-253), Column address setting out of data read P (253,256-253), column address setting out of the line address setting out P (252,256-253) of data read B (63, 64), Column address setting out of data read P (251,256-253), column address setting out of data read P (250,256-253), Column address setting out of data read P (249,256-253), data read ... Column address setting out of the line address setting out P (4,256-253) of B (1, 64), Column address setting out of data read P (3,256-253), column address **** of data read P (2,256-253), column address setting out of data read P (1,256-253), data read [read-out of the 5-8th line]

Column address setting out of the line address setting out P (256,252-248) of B (64, 63), Column address setting out of data read P (255,252-248), column address setting out of data read P (254,252-248), Column address setting out of data read P (253,252-248), column address setting out of the line address setting out P (253,252-248) of data read B (63, 63), Column address setting out of data read P (252,252-248), column address setting out of data read P (251,252-248), Column address setting out of data read P (249,252-248), data read ... Column address setting out of the line address setting out P (4,252-248) of B (1, 63), Column address setting out of data read P (3,252-248), column address setting out of data read P (2,252-248), column address setting out of data read P (1,252-248), data read ... [Read-out of the 253-256th (last line) line]

Column address setting out of the line address setting out P (256, 4-1) of B (64, 1), Column address setting out of data read P (255, 4-1), column address setting out of data read P (254, 4-1), Column address setting out of data read P (253, 4-1), column address setting out of the line address setting out P (252, 4-1) of data read B (63, 1), Column address setting out of data read P (251, 4-1), column address setting out of data read P (250, 4-1), Column address setting out of data read P (249, 4-1), data read ... Column address setting out of the line address setting out P (4, 4-1) of B (1, 1), Column address setting out of data read P (3, 4-1), column address setting out of data read P (2, 4-1), column address setting out of data read P (1,4-1), data read (the last pixel and four lines)

- Print simultaneously the picture of four lines as for which the 270 rights rotated the picture written in DRAM from the 270 right rotation scanner 13 the y direction of the manuscript of drawing 22, and by beginning to read the image data of the pixel for four lines one by one, and carrying out a printer 15 HE output from a correspondence **** memory cell in order of an anti-x direction.

[0253]** expressed with the picture element position of a manuscript -- P (256-253, 1) is read first (four lines), P (256-253, 2) and P (256-253,256) are read from the upper right toward the lower left in order, and, finally P (4-1,256) is read.

[0254]The image data of the memory cell corresponding to the pixel read is read from DRAM one by one, and a printer 15 HE output is carried out.

[0255]What is necessary is to specify a line address again, only when only one line address specification is specified and line addresses differ in continuation read-out to the memory cell of the same line address on the occasion of read-out of a memory cell.

[0256]They are a setting-out **** thing and **** about a line address for every access **** to the beginning in a block which is different in this example in order to explain simply.

[0257][Read-out of the 1-4th (start line) line]

Column address setting out of the line address setting out P (256-253, 1) of B (64, 1), data read (a start pixel and four lines)

Column address setting out of P (256-253, 2), column address setting out of data read P (256-253, 3), Column address setting out of data read P (256-253, 4), column address setting out of the line address setting out P (256-253, 5) of data read B (64, 2), Column address setting out of data read P (256-253, 6), column address setting out of data read P (256-253, 7), Column address setting out of data read P (256-253, 8), DE 1 TA read-out ... Column address setting out of the line address setting out P (256-253,253) of B (64, 64), Column address setting out of data read P (256-253,254), column address setting out of data read P (256-253,255), column address setting out of data read P (256-253,256), data read [read-out of the 5-8th line]

Column address setting out of the line address setting out P (252-248, 1) of B (63, 1), Column address setting out of data read P (252-248, 2), column address setting out of data read P (252-248, 3), Column address setting out of data read P (252-248, 4), column address setting out of the line address setting out P (252-248, 5) of data read B (63, 2), Column address setting out of data read P (252-248, 6), column address setting out of data read P (252-248, 7), Column address setting out of data read P (252-248, 8), data read ... Column address setting out of the line address setting out P (252-248,253) of B (63, 64), Column address setting out of data read P (252-248,254), column address setting out of data read P (252-248,255), column address setting out of data read P (252-248,256), data read ... [Read-out of the 253-256th (last line) line] Column address setting out of the line address setting out P (4-1, 1) of B (1, 1), Column address setting out of data read P (4-1, 2), column address setting out of data read P (4-1, 3), Column address setting out of data read P (4-1,4), column address setting out of the line address setting out P (4-1, 5) of data read B (1, 2), Column address setting out of data read P (4-1, 6), column address setting out of data read P (4-1, 7), Column address setting out of data read P (4-1, 8), data read ... Column address setting out of the line address setting out P (4-1,253) of B (1, 64), Column address setting out of data read P (4-1,254), column address setting out of data read P (4-1,255), column address setting out of data read P (4-1,256), data read (the last pixel and four lines)

Next, the image memory (DRAM: imaging range 28a) of this invention accepted [the composition of the picture in the aforementioned explanation] in composition (n blocks x m blocks) is explained.

[0258]The composition of a two-dimensional image memory is shown in drawing 24.

[0259]In this example, as an image memory, use the fast page mode of DRAM and a line address and a column address are not set up for every one access, Burst access which accelerates access is performed by setting up only a column address to the data of the same line address, and omitting the setting-out cycle of a column address.

[0260]An image memory is constituted by the block 3002 of n width and the sum total (mn-1) individual of m length.

[0261]A block is constituted by the word 3001 which is an access unit of a memory.

[0262]In the usual access, it starts from an upper left word (when transmitting the picture read in the scanner 13 to an image memory etc.), and a scanning direction accesses an image memory from the left toward the bottom from a top to the right to a vertical scanning direction line sequential.

[0263]The example of a word configuration within a block is shown in drawing 25. It constitutes from 4 words in a column direction, and this example constitutes 1 block from 4 words 16 words in the line direction. A number shows the offset address within a block. Therefore, the memory address of a specific word serves as a value which added the offset address within a block to the start address of each block. for example, the left in the block of finishing [the upper left] -- finishing -- if it is the memory address 0 -- a word on the right -- the memory address 1 and the lower right within a block -- finishing -- the upper left of a block of the memory address 15 and right-hand -- finishing -- it becomes the memory address 16.

[0264]As for the data within the same block, it has numbers of words which a column address expresses twice [positive number] 1-block numbers of words so that it may become the certainly same line address. It can express 1024 words, and when the numbers of words which are 1 block are set to 16, as for a column address, the numbers of words which a column address expresses can be divided among the example of DRAM of drawing 19 with the numbers of words which constitute 1 block. Therefore, the word within a block serves as the certainly same column address.

[0265]Therefore, if it is the continuous access within the same block, once it will set up one line address, it is possible to access at high speed only by setting up a column address to every word.

[0266]In the usual access in drawing 24, access of a column direction generates the address at the left end of [block] the line which it is going to access as a starting point address, It is set as DRAM to the column address by making into a column address +0, +1, +2, and the value

carried out +3, and 4-word continuous access is performed.

[0267]Next, a starting point address is moved to a left end address on the right, and continuous access is performed similarly. Movement of this starting point address is performed by adding 1 block of numbers-of-words MD to a starting point address.

[0268]After access is completed to a right end, a starting point address is moved to the block left end of the next line. By the case where it moves to the line of the same block, and the case where it moves to the line of a different block, movement of a starting point address on the next line differs in the movement magnitude of an address, and is set to SD1 and SD2, respectively.

[0269]The relation of the address (when the line address was made into the higher rank and a column address is made into a low rank) of a block position and the offset within a block, and DRAM is shown in drawing 26.

[0270]A block is assigned to the memory address which continued toward the lower right from the upper left. The address with which the inside of the same block also continued according to the offset within a block is assigned.

[0271]Therefore, since the above-mentioned MD is displacement during the offset 0 of the offset 0 of the block 0 to the block 1, it becomes equal to the numbers of words within a block. It will be set to MD=16 if numbers of words of 1 block shall be 16 words.

[0272]Since SD1 is displacement of offset 4 HE of the block 0, it is set to $SD1 = -MD \cdot (n-1) + 4$ from the offset 0 of a block (n-1). Here, $-MD \cdot (n-1)$ can consider displacement of the block during the offset 0, and +4 to be displacement to the offset 4 from the offset 0 of the same block.

[0273]Since SD2 is displacement of offset 0 HE of the block n, it turns into $SD2 = MD - 12$ from the offset 12 of a block (n-1). Here, MD can be considered to be displacement to the block n from a block (n-1), and -12 can be considered to be displacement to the offset 0 from the offset 12 of the block n.

[0274]It explains usually referring to the flow chart which accesses line sequential toward the lower right from the above-mentioned upper left and which shows drawing 27 the example of calculation of the memory address at the time of access.

[0275]MA shows a continuous memory address. the number of bits equivalent to the column address of a memory address is assigned to the lower bit of a memory address -- the high order bit of a memory address -- line address quota ****. The part which exceeds the number of bits of a line address among upper addresses is used for selection of two or more memory devices.

[0276]SBLOCK expresses the block position of a vertical scanning direction.

[0277]LINE expresses the line position within a block.

[0278]MBLOCK expresses the block position of a scanning direction.

[0279]B (this example 4) expresses the line number of a block.

[0280]Usually, in access, a scanning direction becomes the right from the left and a vertical scanning direction turns down from a top.

[0281]Usually, in access, MA (memory address) shows the address of the left end word of the line which the block read in order to perform burst access reads. The fast page mode lead of DRAM sets up a line address with this address as the starting point, and accesses at continuation the column address which added 0, 1, 2, and 3 to the column address with which MA expresses.

[0282]If the final block of a scanning direction is reached (MBLOCK=N), a read-out line will be recommended to the bottom of one, and a horizontal-scanning block position will be returned to a left end (MBLOCK<-0).

[0283]If the lower end within a block of a read-out line is arrived at (LINE=B), a read-out block will be advanced to one vertical scanning direction (SBLOCK<-SBLOCK+1).

[0284]An end (SBLOCK=M) of read-out of the last line of a lower right block will terminate read-out of the whole block of 1 **-JJ.

[0285]Next, the rotation read of image data is explained. In order to rotate a picture, it is necessary to once develop an one-page picture to an image memory, and to read to a hand of cut.

[0286]The access order in the case of rotating a picture 90 degrees on the right is shown in

drawing 28.

[0287]As shown in drawing 28, the scanning direction is rotating the picture from the bottom upwards to toward an upper right word to the vertical scanning direction by reading an image memory one by one toward the right from the left from a lower left word.

[0288]a start making offset 12 of block $(m-1) * n$ of a left corner a starting point address, setting up a line address, and setting up as a column address what added +0, -4, -8, and -12 to the column address of the starting point address -- the 4-word continuous access within a block -- it carries out.

[0289]Next, a starting point address is moved to the address at the lower left of a top block, and continuous access is performed similarly.

[0290]After access is completed to an upper bed, a starting point address is moved to the block lower end of the following column. By the case where it moves to the column of the same block, and the case where it moves to the column of a different block, movement of a starting point address in the following column differs in the movement magnitude of an address, and is set to SD1 and SD2, respectively.

[0291]Therefore, since the above-mentioned MD is displacement during the offset 12 of block $(m-2) * n$ on [the offset 12 of lower left block $(m-1) * n$ to] - **, it becomes equal to the numbers of words for n blocks. It will be set to $MD = -16 * n$ if numbers of words of 1 block shall be 16 words.

[0292]Since SD1 is displacement to OFUSETSU - TO 13 of block $(m-1) * n$ from the offset 12 of the block 0, it turns into $SD1 = -MD * (m-1) + 1$.

[0293]Here, $-MD * (m-1)$ can consider the displacement to block $(m-1) * n$ from the block 0, and +1 to be displacement to the offset 13 from the offset 12 of the same block.

[0294]Since SD2 is displacement to the offset 12 of block $(m-1) * n + 1$ from the offset 15 of the block 0, it is set to $SD2 = -MD * (m-1) + 13$. Here, $-MD * (m-1)$ can consider displacement of lower left block $(m-1) * n$ HE, and +13 to be displacement to the offset 12 of block $(m-1) * n + 1$ of right-hand from the offset 15 of lower left block $(m-1) * n$ from the block 0.

[0295]Thus, the rapid access by continuous access becomes possible also to access of a sliding direction required at the time of the conventionally impossible rotation by constituting an image memory with the block in which continuous access is possible.

[0296]It explains referring to the flow chart which shows drawing 29 the example of memory address calculation at the time of right 90-degree rotation access accessed toward the upper right from the above-mentioned lower left.

[0297]MA shows a continuous memory address. the number of bits equivalent to the column address of a memory address is assigned to the lower bit of a memory address -- the high order bit of a memory address -- line address quota ****. The part which exceeds the number of bits of a line address among upper addresses is used for selection of two or more memory devices.

[0298]SBLOCK expresses the block position of a vertical scanning direction.

[0299]LINE expresses the line position within a block.

[0300]MBLOCK expresses the block position of a scanning direction.

[0301]A (this example 4) expresses the number of columns of a block.

[0302]In right 90-degree rotation access, in a vertical scanning direction, a scanning direction becomes [top] the right from the left from the bottom.

[0303]In right 90-degree rotation access, MA (memory address) shows the address of the word of the column (position of the longitudinal direction within a block) which the lower end line of the block read in order to perform berth access reads. Read-out sets up a line address with this address as the starting point, and the fast page mode lead of DRAM accesses at continuation the column address which added 0, -4, -8, and -12 to the column address with which MA expresses (that is, continuous access of the image memory is carried out toward a top in the inside of a block).

[0304]If the final block of a scanning direction is reached ($MBLOCK = M$), a read-out column will be recommended to one right and a horizontal-scanning block position will be returned to a lower end ($MBLOCK < -0$).

[0305]If a read-out column arrives at the left end within a block ($COL = A$), a read-out block will

be advanced to one vertical scanning direction (SBLOCK←SBLOCK+1).

[0306]An end (SBLOCK=N) of read-out of the last column of an upper right block will terminate read-out of the whole block of 1 **~J].

[0307]Next, the above-mentioned example of 1 composition of a memory address generation part with usually concrete access and rotation access (address generating part 612 shown in drawing 10 mentioned above) is explained.

[0308]The composition of the starting point address (start address of burst transmission) generating part of memory access is shown in drawing 30.

[0309]A starting point address generating part The vertical-scanning block count set part 3801, the line number (number of columns) set part 3802 within a block, the horizontal-scanning block count set part 3803, the vertical scanning direction block count counter 3804, the line number (number of columns) counter 3805 within a block, It is constituted by the scanning direction block count counter 3806, the selectors 3807, 3808, and 3811, the page start address set part 3809, the memory address storage register 3813, the adding machine 3810, and OR gate 3812. A count is performed by repeating a set number to a cycle.

[0310]The scanning direction block count counter 3806 counts the block count of a scanning direction, if it reaches a final block (the Nth), it will advance, and it generates the signal EOMB (horizontal-scanning final block signal). As for this counted value, the horizontal-scanning block count is set up by a page initializing signal (PINIT). A count is performed by the next address generated signal (NEXT).

[0311]The line number counter 3805 within a block counts the line number or the number of columns within a block, if it arrives at a last line (A or B), it will advance, and it generates the signal EOL (last line). As for counted value, the line number within a block is set up by a page initializing signal (PINIT). A count is performed, when it advances, and the signal EOMB is inputted and a next address generated signal (NEXT) is inputted. A count is performed by repeating a set number to a cycle.

[0312]If the vertical scanning direction block count counter 3801 counts the block count of a vertical scanning direction and reaches a final block (the Mth), it will advance, and it generates and carries out the signal EOSB (vertical-scanning final block signal). As for counted value, the vertical-scanning block count is set up by a page initializing signal (PINIT). A count is performed, when it advances, and the signal EOL is inputted and a next address generated signal (NEXT) is inputted. A count is performed by repeating a set number to a cycle.

[0313]The memory address storage register 3813 memorizes the present memory address. The starting point address for every burst access is computed by adding the increment to the next address to the present memory address one by one. As for an address register, a start address is set up by a page initializing signal (PINIT). By advancing and changing the selectors 3807 and 3808 by signal, whenever it moves a block to a scanning direction, it moves in MD and a line and it moves a block to SD1 and a vertical scanning direction, SD2 is added by the adding machine 3810. The added result of the adding machine 3810 by changing the selector 3811 and supplying a load signal (passing OR gate 3812) to the memory address storage register 3813 by a next address calculation signal (NEXT), Update storage is carried out to the memory address storage register 3813.

[0314]The size of 1 block shows drawing 31 the example of composition of the image memory of usual access which are 2x2 words, 2 blocks of horizontal scanning, and 2 blocks of vertical scanning.

[0315]The example of the generating timing of a starting point memory address when the image memory of drawing 31 is accessed at (a) - (i) of drawing 32 is shown.

[0316]The composition of a DRAM control signal generating part (DRAM control part 614 shown in drawing 10 mentioned above) is shown in drawing 33.

[0317]A DRAM control signal generating part generates the timing signal for carrying out burst access of the DRAM from a starting point memory address (MA) and a line address, and a column address.

[0318]The DRAM control signal generating part is constituted by the timing control section 3901, the refreshment cycle timer 3902, the offset address table 3903, the offset address counter

3904, the selectors 3905 and 3907, and the adding machine 3906.

[0319]The timing control section 3901 starts a memory access cycle with a memory access control signal, and generates the RAS signal which sets a line address as DRAM, the CAS signal which sets up a column address, and the countup signal of the offset address counter 3904.

[0320]The refreshment cycle timer 3902 generates the DRAM refresh cycle start signal of a constant period, and generates RAS for performing a DRAM refresh cycle by the timing control section 3901, and a CAS signal.

[0321]The offset address table 3903 sets up the offset added to the column address of the starting point memory address at the time of carrying out burst access. The value of the offset address table 3903 sets up by the access order of the word within a block. For example, when block size is 4x4 words, 0, 1, 2, and 3 are set up in forward direction access, and 0, -4, -8, and -12 are set up by rotation access right 90 degrees.

[0322]The selector 3905 chooses the value of an offset address table according to an order of an offset address.

[0323]The adding machine 3906 adds an offset address to the column address of a memory address.

[0324]The selector 3907 has chosen the line address and column address in a memory address. The selected address is inputted into the address terminal of DRAM, and sets up the address of DRAM in 2 steps, a line address and a column address, with RAS and a CAS signal.

[0325]Next, as a 2nd embodiment of this invention as an example of use of the rapid access by the continuous access by the image memory constituted as mentioned above, Two or more lines explain improvement in the speed of read-out of the printable printer of 15 receive two or more lines simultaneously with improvement in the speed and the laser exposure device of the coding and decoding processing which accesses a two-dimensional block by considering it as a batch.

[0326]The coding and decryption which process to a block unit first are explained. JPEG (Joint Photographic Coding Experts Group) coding is made into an example as a coding mode, and it explains.

[0327]JPEG coding is performed for the gradation data in which each pixel has brightness information like a photograph.

[0328]In this example, since 1 pixel is expressed with 8 bits, the luminosity of 256 gradation ($2^8=256$) can be expressed. It is necessary to carry out rectangular block unit division of the whole picture, and to process to a block unit in DCT (Discrete Cosine Transform) performed in the case of JPEG coding and decryption, and its inverse transformation.

[0329]Drawing 34 shows the example of composition of the image memory of a processing block (8 pixels x 8 pixels) by 8 bits per pixel. 32 bits [per one memory address] data ** is stored. Therefore, a block (8 pixels x 8 pixels) comprises 16 words of the 2 words of width x length of eight lines. As mentioned above, since 16 words of the same block are arranged inside DRAM at the same line address, burst access is possible for them.

[0330]The outline of the image storage by the JPEG coding which used this image memory for (a) - (g) of drawing 35, and playback equipment is shown.

[0331]First, the image data from an input device which reads a picture to line sequential, such as the scanner 13 and a TV camera, is written in line sequential (from the upper left to the lower right [In the case of drawing 35]) at an image memory, and it dies. In this case, if the memory address which writes in line sequential is the line address with same DRAM, the high-speed writing by burst access is possible (refer to (a) of drawing 35).

[0332]JPEG coding reads the picture on the inputted image memory by a block unit in order to process a picture to a block unit. This block is constituted so that it may be the feature of this image memory, and the memory address of the word which constitutes a block may turn into the line address with same DRAM. Therefore, it is possible for 1-block image data to be put in block by burst access, and to read it to a JPEG coding device at high speed (refer to (b) of drawing 35).

[0333]By a JPEG coding device, image data quantity is compressed into 1/tens, and is accumulated in a code memory (refer to (c) of drawing 35, and (d)).

[0334]The accumulated picture is chosen by necessity, and arbitrary turn and the arbitrary numbers of times can read it, and it is reproduced by the original picture with a JPEG decoding device (refer to (d) of drawing 35, and (e)).

[0335]JPEG decryption reproduces a picture by a block unit like the case of coding. This block is constituted so that it may be the feature of this image memory, and the memory address of the word which constitutes a block may turn into the line address with same DRAM. therefore -- 1-block image data is put in block by burst access -- high-speed -- the image memory from a JPEG decoding device -- ***** -- things are possible (refer to (f) of drawing 35).

[0336]The reproduced picture is read to line sequential, for example, is outputted to line sequential power range system devices, such as a laser beam printer and a CRT display. In this case, if the memory address which reads to line sequential is the line address with same DRAM, the high speed reading by burst access is possible (refer to (g) of drawing 35).

[0337]Thus, by using this image memory, the DRAM burst access of the conventionally impossible block unit becomes possible, and it becomes possible to perform data transfer with an image memory at high speed.

[0338]Next, two or more lines explain improvement in the speed of read-out of the printable printer of 15 receive two or more lines simultaneously with the laser exposure device 4500.

[0339]The laser exposure device 4500 of drawing 36. The four laser 4501, 4502, 4503 and 4504, the galvanomirrors 4504, 4505, 4506, and 4507, the laser drivers 4508, 4509, 4510, and 4511, the galvanomirror drive circuits 4512 and 4513, It is constituted by 4514, 4515, the half mirrors 4516 and 4517, the polygon mirror 4518, the polygon motor 4519, BORIGON Motor Driver 4520, the beam detection sensor 4521, and the beam detection sensor output processing circuit 4522. Each laser driver 4508, 4509, 4510, and 4511 makes laser emit light based on the image data of each line on the basis of the beam detection signal of the beam detection sensor 4521. A half mirror compounds two or more laser beams, and enables it to scan the photo conductor drum 4523 top by the one BORIGON mirror 4518. The galvanomirrors 4504, 4505, 4506, and 4507 are controlled by the galvanomirror drive circuits 4512, 4513, 4514, and 4515, and perform adjustment for making the exposure position at the time of each laser beam scanning the photo conductor drum 4523 top into desired physical relationship. Drawing 37 shows the situation of exposure on the photo conductor drum 4523 by two or more laser. On the photo conductor drum 4523, a picture is formed per four lines of four laser beams. At this time, it tunes finely by the galvanomirrors 4504, 4505, and 4506 and 4507 so that each laser beam exposure position may become a vertical scanning direction at equal intervals.

[0340]The situation of memory access when performing the memory copy (an image memory is repeated henceforth and it outputs a read-out picture in the case of two or more copy copy, once capturing the image from the scanner 13 into an image memory) which carried out the conventional line sequential access to (a) of drawing 38 and (b) is shown.

[0341]The image data from the scanner 13 is written in an image memory line sequential (refer to (a) of drawing 38).

[0342]Printing to the printer 15 reads an image memory to line sequential, and is sent to the conversion circuit for driving the laser for four lines (refer to (b) of drawing 38).

[0343]The composition of the conversion circuit for driving the laser for four lines for the data read to line sequential is shown in drawing 39.

[0344]Since the conventional image memory cannot perform DRAM burst access between different lines (the data which follows a sliding direction is required since the picture of two or more lines is needed), After reading by line sequential, rapid access of the image data between lines which are different after once forming the picture for four lines in an external high speed memory needed to be carried out.

[0345]In order to prepare the image data for four lines, the light of the memory read data read to line sequential is carried out to the line buffers 4601 and 4602. If the image data for four lines gathers, it will read every 1 word from each line. The line buffers 4601 and 4602 are line intermediary **** about read-out of the image data in which another side is already together with all of four lines while those with 2 set and one of the two are accumulating line sequential image data by four lines. The write operation and read operation of the line buffers 4601 and

4602 are performed by turns alternately, and enable continuous operation.

[0346]The read data is incorporated into the data buffer 4603, and by the parallel → serial converter 4604, one bit carries out the serial data of the word data, and it generates the laser driver driving signal of each line.

[0347]That is, in order to read a picture to line sequential and to prepare the image data for four lines, no less than 2 sets needed to prepare the high-speed line buffer for four lines for the exterior of the image memory, and increase of a device scale or cost was not avoided.

[0348]The memory access operation at the time of using the image memory of this invention is shown in drawing 40.

[0349]This example constitutes DRAM from 16 words of the block for carrying out burst access, 4 words (scanning direction) wide, and the length (line direction) of four lines.

[0350]As for the line sequential image data from the scanner 13, writing is performed at high speed by burst access in the inside of a block (if the DRAM address of an adjacent block is the same line address, the burst access which straddles a block is also still more possible).

[0351]Read-out of an image memory uses the feature of this image memory, can carry out burst access of the inside of a block to a line direction, and can read 4 words (four lines) image data at high speed.

[0352]The 4 words (four lines) image data read continuously is incorporated into the data buffer 4611, and generates the 1-bit laser driver driving signal which serial data are carried out and is each line for word data by the parallel → serial converter 4612. (Drawing 41) Therefore, it is possible to read the image data for four lines required for a laser driver drive at high speed, without using an expensive line buffer memory at a high speed like before.

[0353]Next, burst read-out is carried out for an image memory to a block unit, and after processing a request, the rotating process of a block unit is explained as an example of processing which carries out burst writing to a block unit.

[0354](a) of drawing 42 and (b) show the composition of the image memory which memorizes the picture expressed with 1 pixel 1 bit (for example, monochrome image).

[0355]A block configuration comprises 32 lines [1 word (32 bits) x] 32 words. Rotation of a picture once stores the data which performed burst read-out and read the source image block shown in (a) of drawing 42 by a rotary part, and performs burst writing to an image memory as a picture after the processing which shows the data which rearranged a pixel order of the stored picture into the hand of cut to (b) of drawing 42.

[0356](a) of drawing 43 and (b) show the composition of the image memory which memorizes the picture expressed with 1 pixel 8 bits (for example, gradation images and a color picture). A block configuration comprises four lines [1 word (32 bits) x] 4 words. Rotation of a picture once stores the data which performed burst read-out and read the source image block shown in (a) of drawing 43 by a rotary part, and performs burst writing to an image memory as a picture after the processing which shows the data which rearranged a pixel order of the stored picture into the hand of cut to (b) of drawing 43.

[0357](a) – (d) of drawing 44 shows the rotating process of the whole page which used said drawing 42 and the block drawing rotation of image of drawing 43.

[0358]The rotating process of the source image shown in (a) of drawing 44 is carried out to a block unit, and as shown in (b) of drawing 44, the rotating process from an image memory to an image memory can be performed by writing in another field block unit.

[0359]The rotating process of the source image shown in (a) of drawing 44 is carried out to a block unit, and as shown in (c) of drawing 44, the picture by which the rotating process was carried out to the block unit is formed by writing in the same block of a source image.

[0360]Since the picture by which the rotating process was carried out to the block unit has already rotated by the pixel unit, word read-out within a block is performed in an order that an outputted image becomes succeeding a line unit, and a rotational image is outputted to line sequential output units, such as a printer (refer to (d) of drawing 44).

[0361]Since it can write in by reading access of a block unit at high speed by burst access if the image memory of this invention is used, a high-speed rotating process can be performed.

Although the rotating process was performed in this example, it is possible for it to be adapted

for all processings of a block unit, such as scramble processing by direct conversion of filtering, DCT, etc. and rearrangement of a picture.

[0362]By dividing the whole picture into a block and constituting each block from data of the memory address in which burst access is possible, as described above, If it is in the same block, burst access will be made possible to arbitrary data, such as a part of a transverse direction, lengthwise direction, whole block, and block, and rapid access to an image memory can be made possible, without calling at an access direction.

[Translation done.]

* NOTICES *

JPO and INPIT are not responsible for any damages caused by the use of this translation.

- 1.This document has been translated by computer. So the translation may not reflect the original precisely.
- 2.**** shows the word which can not be translated.
- 3.In the drawings, any words are not translated.

DESCRIPTION OF DRAWINGS

[Brief Description of the Drawings]

[Drawing 1]The sectional view showing the outline composition of the image forming device of this invention.

[Drawing 2]The whole block diagram showing the control circuit of an image forming device.

[Drawing 3]The block diagram showing the composition of a basic unit.

[Drawing 4]The block diagram showing the composition of a system basic unit.

[Drawing 5]The block diagram showing the composition of a system extensiveness unit.

[Drawing 6]The block diagram showing the composition of an image processing circuit.

[Drawing 7]The block diagram showing the composition of a system control circuit.

[Drawing 8]The block diagram showing the composition of a communication memory access control circuit.

[Drawing 9]The block diagram showing the composition of a page memory access control circuit.

[Drawing 10]The block diagram showing the composition of an address control circuit.

[Drawing 11]The block diagram showing the composition of an address generating part.

[Drawing 12]The block diagram showing the composition of a data control circuit.

[Drawing 13]The block diagram showing the composition of an image-data-transfer control section.

[Drawing 14]The figure showing the composition of a timer.

[Drawing 15]The block diagram showing the detailed composition of a picture bus priority control part.

[Drawing 16]The block diagram showing the detailed composition of a page memory priority control part.

[Drawing 17]The figure showing the detailed composition of a terminal counter.

[Drawing 18]The figure showing an example of electronic sorting.

[Drawing 19]The figure showing the internal configuration of DARM.

[Drawing 20]The figure showing the access timing of the normal mode of DRAM, and a first page mode.

[Drawing 21]The figure showing the access timing of the normal mode of DRAM, and a first page mode.

[Drawing 22]The figure for explaining the pixel which constitutes a manuscript picture.

[Drawing 23]The figure for explaining the memory cell which constitutes DRAM.

[Drawing 24]The figure showing movement for the starting point address of the burst access at the time of non rotary access.

[Drawing 25]The figure showing the column address offset within a block

[Drawing 26]The figure showing the relation between the offset within a block, and a memory address.

[Drawing 27]The figure showing the memory access calculation flow at the time of non rotary access.

[Drawing 28]The figure showing movement for the starting point memory address of the burst access at the time of rotation access.

[Drawing 29]The figure showing the memory access calculation flow at the time of rotation

access.

[Drawing 30]The lineblock diagram of the starting point address calculation circuit of burst access.

[Drawing 31]The figure showing the example of composition of an image memory.

[Drawing 32]The figure showing the operation timing of the starting point address calculation circuit of the image memory of drawing 31.

[Drawing 33]The lineblock diagram of a DRAM control signal generation circuit.

[Drawing 34]The figure showing the example of image memory composition at the time of JPEG coding.

[Drawing 35]The figure showing the image storage by JPEG coding, and the example of composition of playback equipment.

[Drawing 36]The figure showing the exposure device using two or more laser beams.

[Drawing 37]The figure showing the situation of exposure of photo conductor drum lifting by two or more laser beams.

[Drawing 38]The figure which the line sequential access of the conventional image memory shows.

[Drawing 39]The figure showing the circuit which changes line sequential image data into two or more laser driver driving signals.

[Drawing 40]The figure showing the **** burst access for image memories of this invention.

[Drawing 41]The figure showing the circuit which changes into two or more laser driver driving signals the image data which carried out burst access.

[Drawing 42]The figure showing the block configuration of 1-pixel a 1-bit image memory, and rotation of a picture.

[Drawing 43]The figure showing the block configuration of 1-pixel an 8-bit image memory, and rotation of a picture.

[Drawing 44]The figure explaining the image rotation method by the burst access of a block unit.

[Description of Notations]

21 -- System control circuit

26 -- Address control circuit

27 -- Data control circuit

28 -- Page memory

28a -- Imaging range (an image memory, DRAM)

612 -- Address generating part

614 -- DRAM control part

1001 -- Timing generator

1002 -- Row address register

1003 -- Line address decoder

1004 -- Sequence address register

1005 -- Row address decoder

1006 -- Memory array

1007 -- Line data register

1008 -- Sequence data selector

1009 -- Data input/output buffer

[Translation done.]

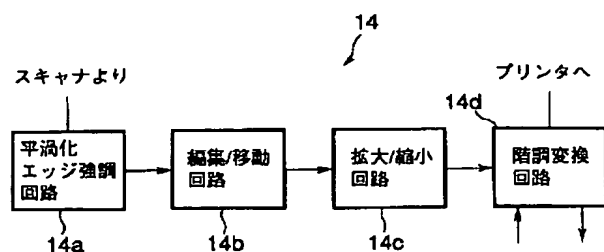
JPO and INPIT are not responsible for any damages caused by the use of this translation.

2.**** shows the word which can not be translated.

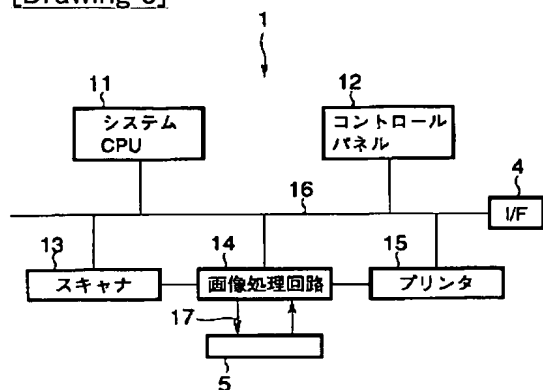
3. In the drawings, any words are not translated.

[Drawing_1]

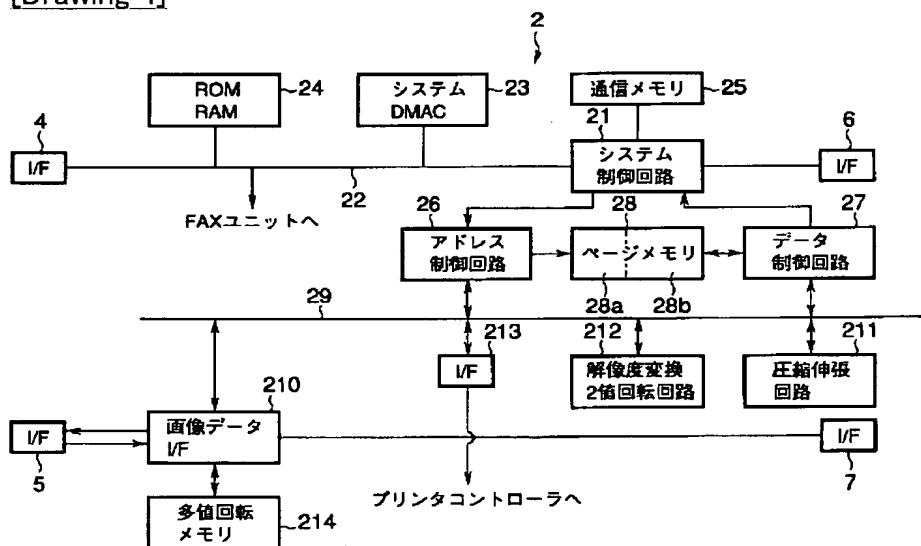




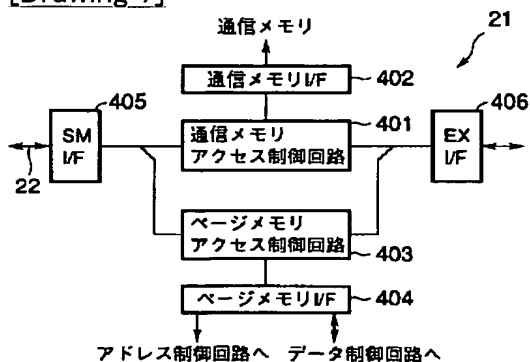
[Drawing 3]



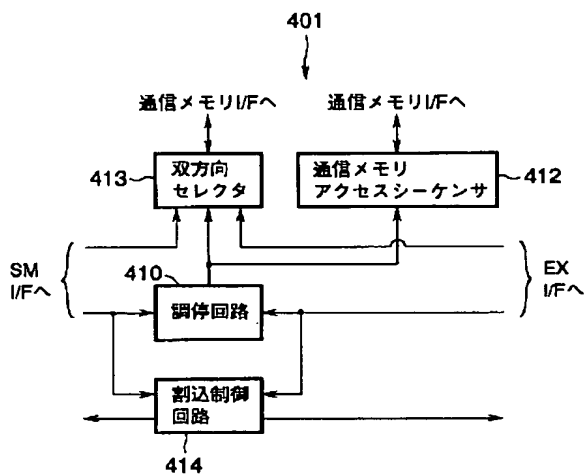
[Drawing 4]



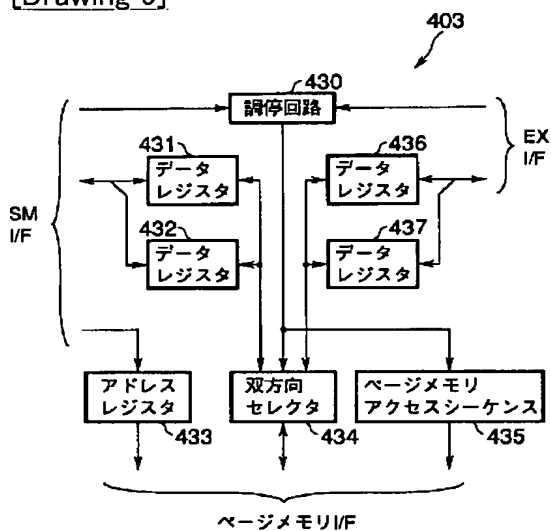
[Drawing 7]



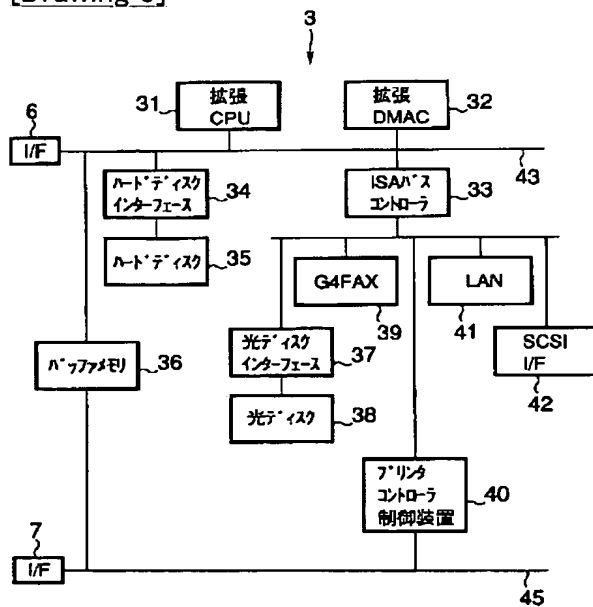
[Drawing 8]



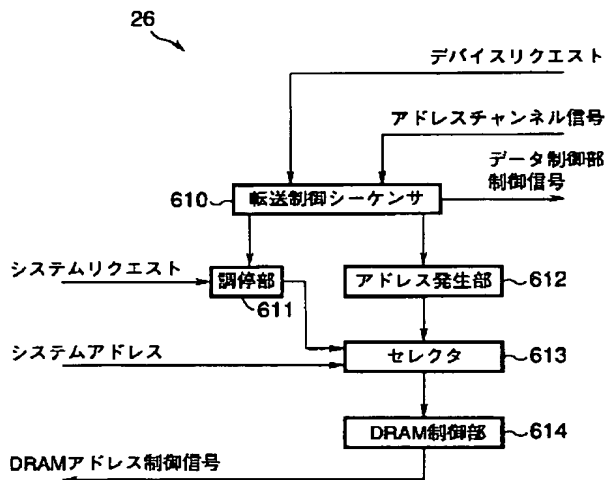
[Drawing 9]



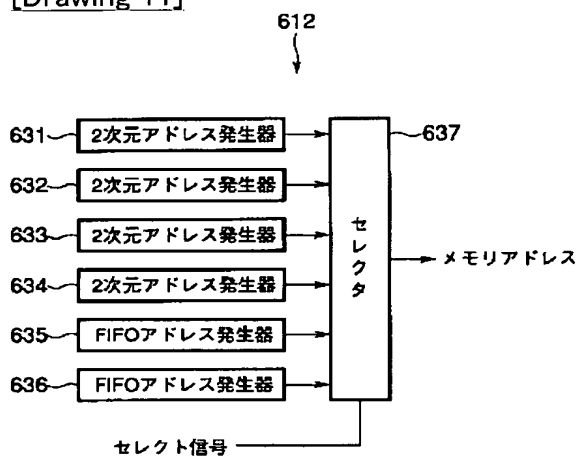
[Drawing 5]



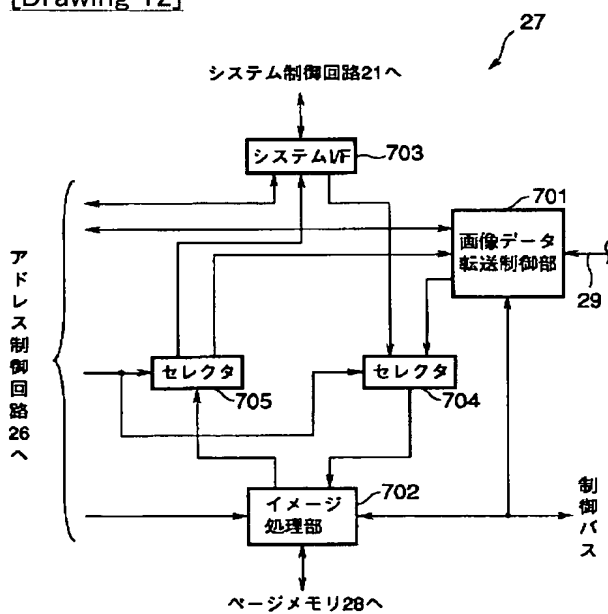
[Drawing 10]



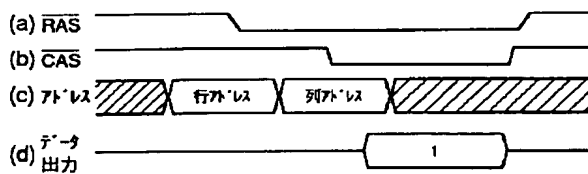
[Drawing 11]



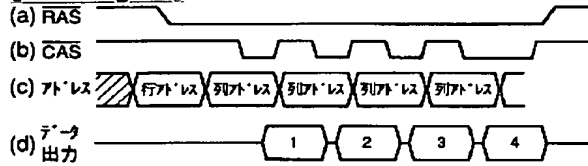
[Drawing 12]



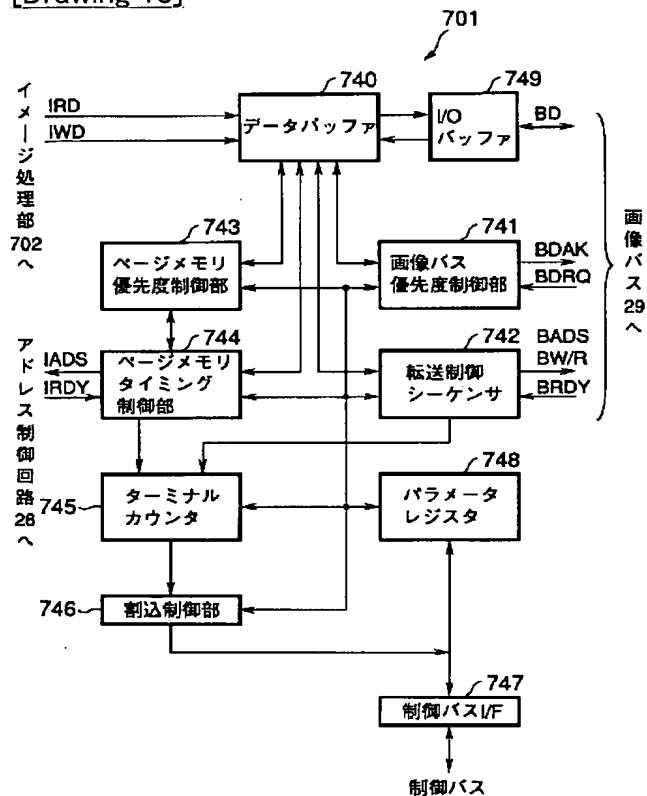
[Drawing 20]



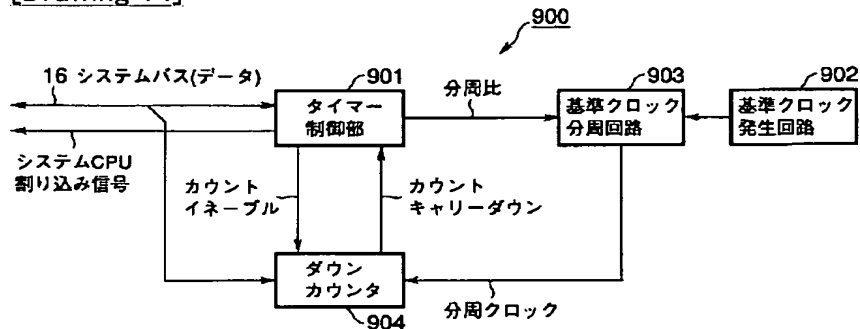
[Drawing 21]



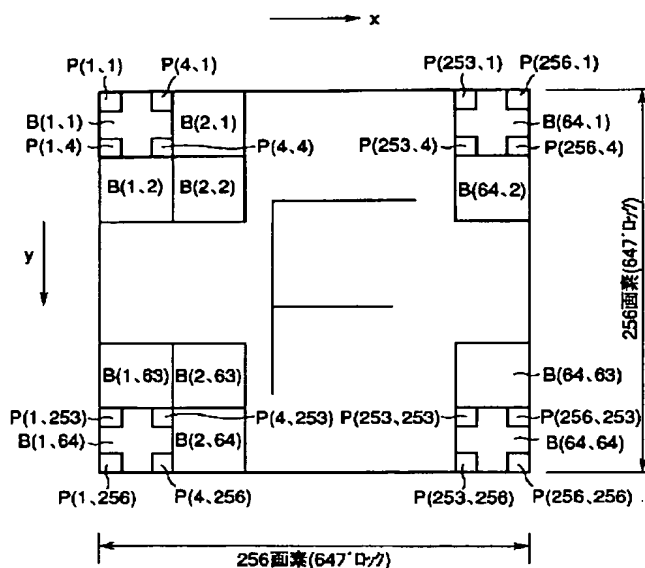
[Drawing 13]



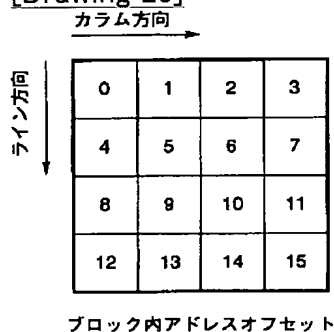
[Drawing 14]



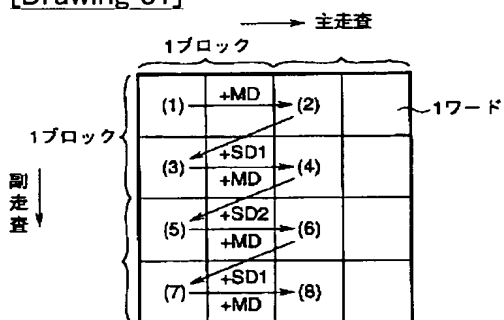
[Drawing 22]



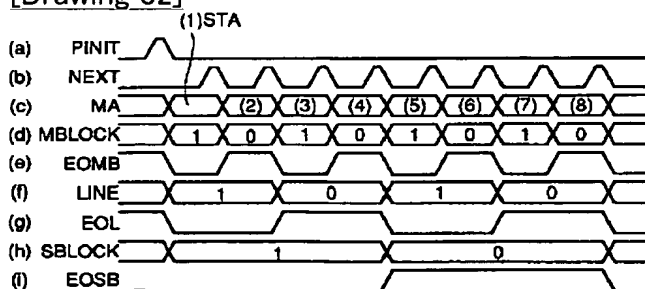
[Drawing 25]



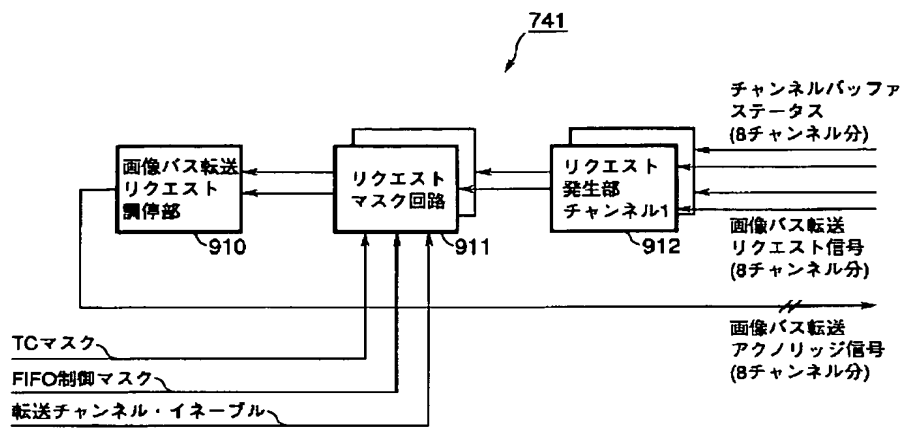
[Drawing 31]



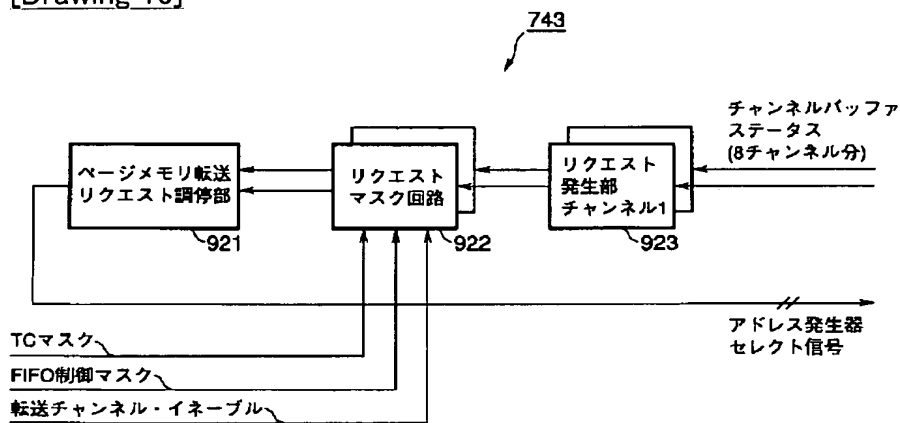
[Drawing 32]



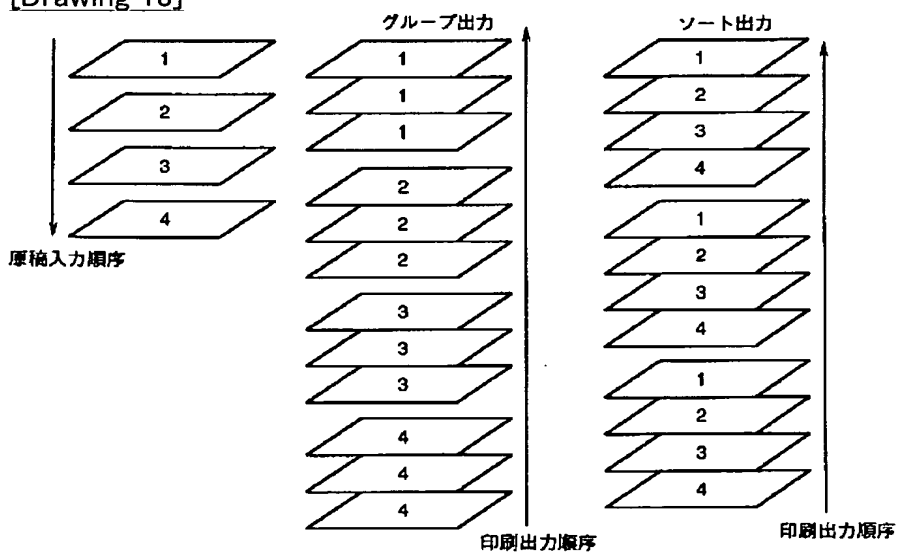
[Drawing 15]



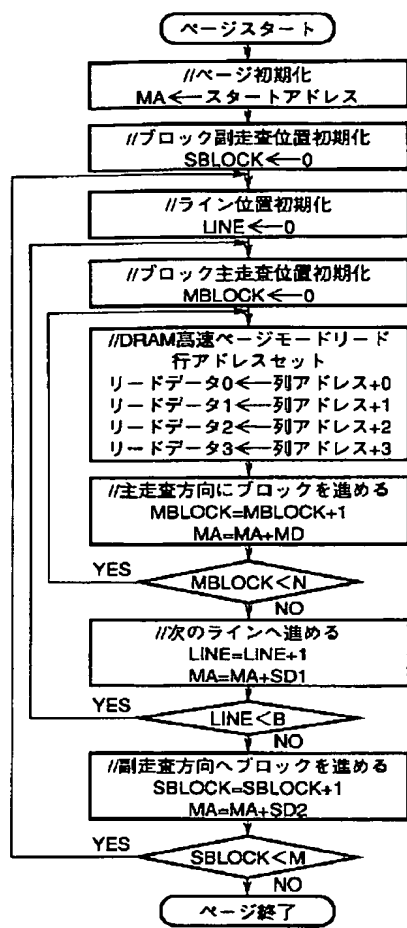
[Drawing 16]



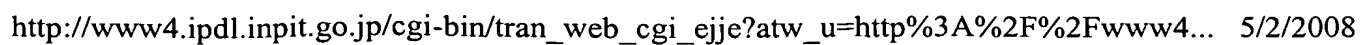
[Drawing 18]



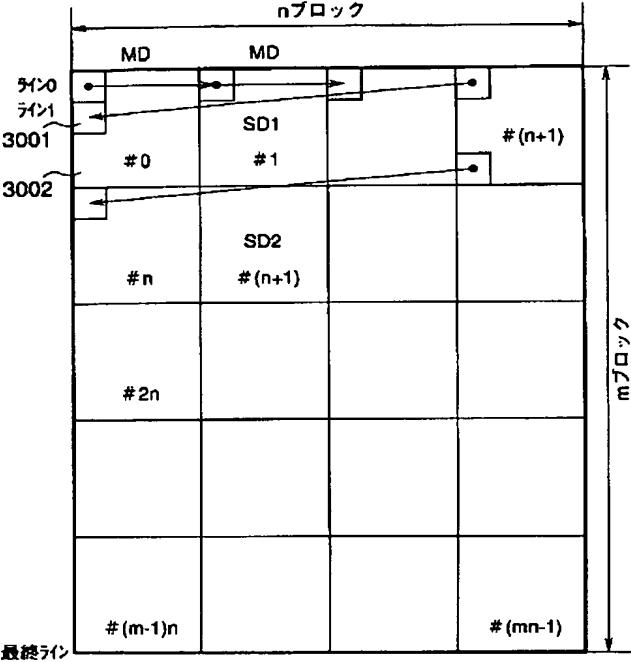
[Drawing 27]



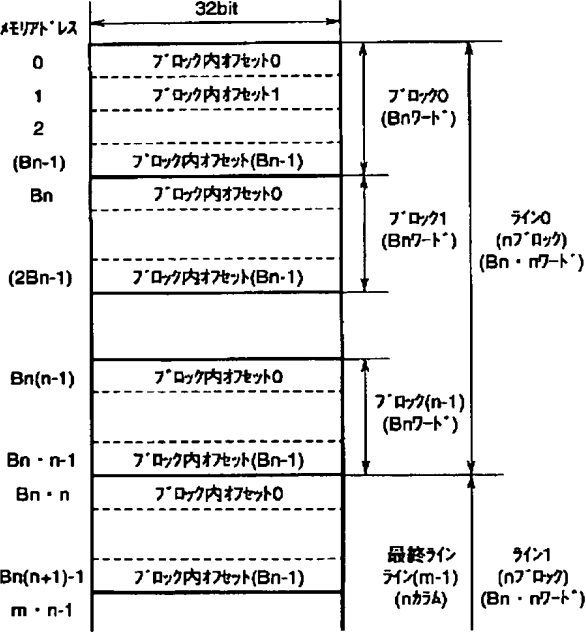
[Drawing 17]



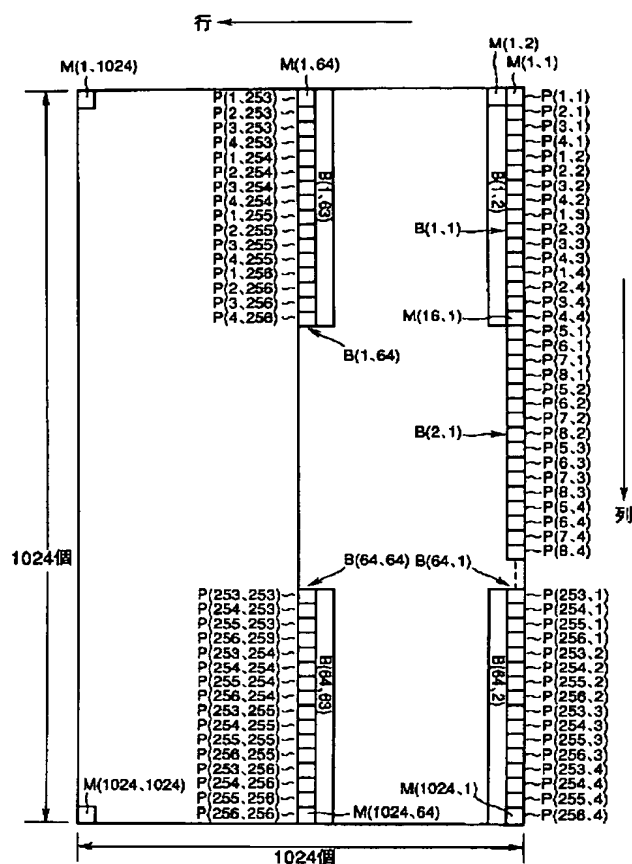
[Drawing 24]



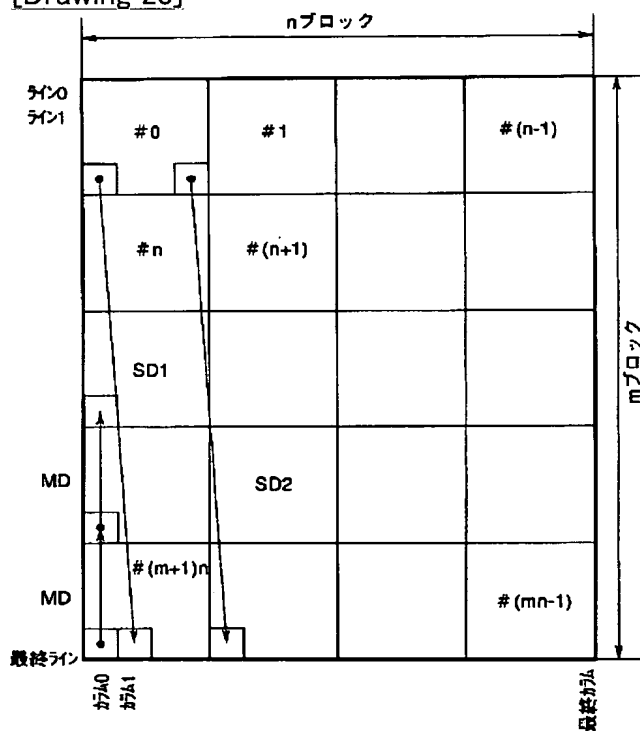
[Drawing 26]



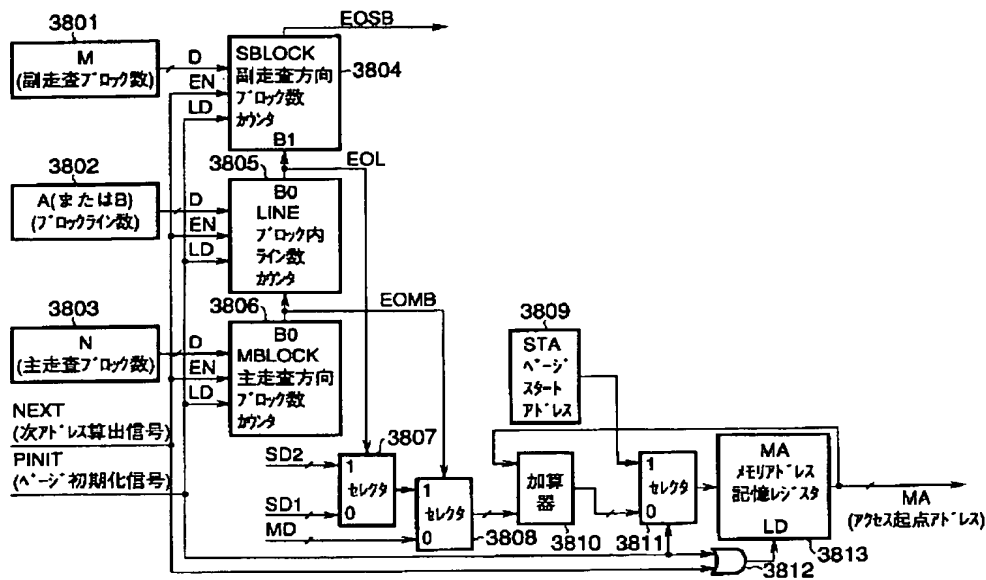
[Drawing 23]



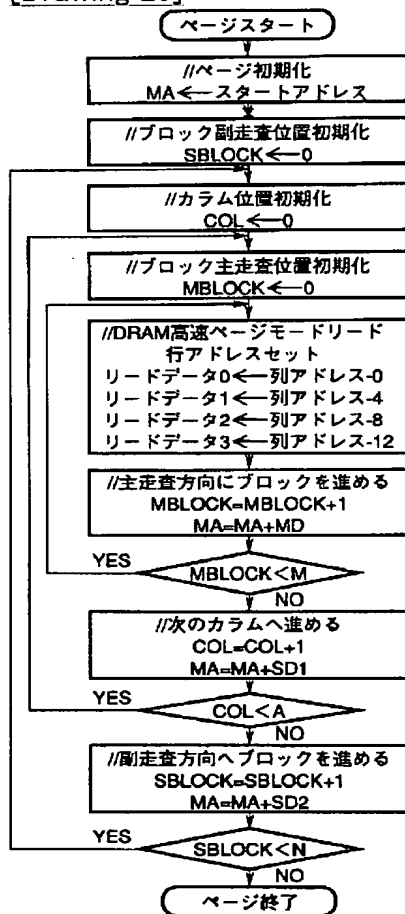
[Drawing 28]



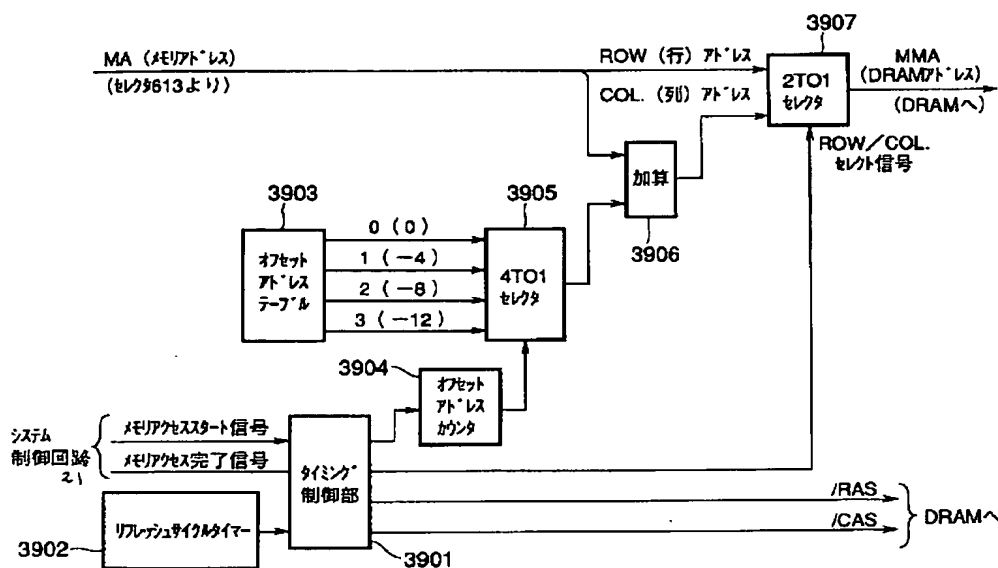
[Drawing 30]



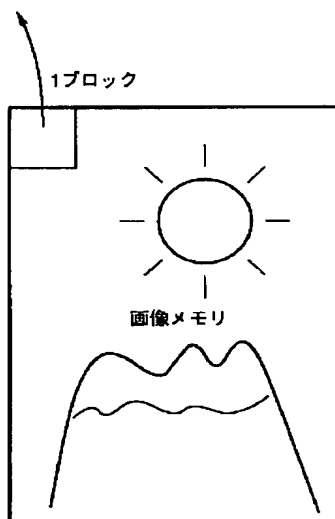
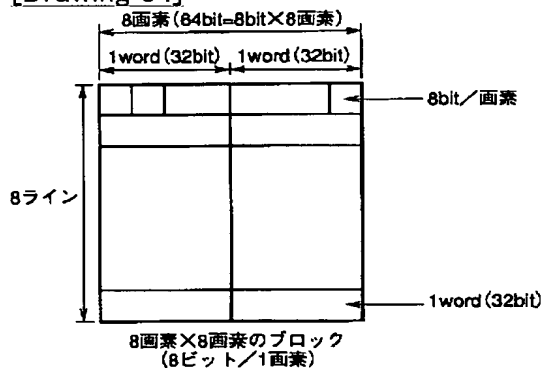
[Drawing 29]



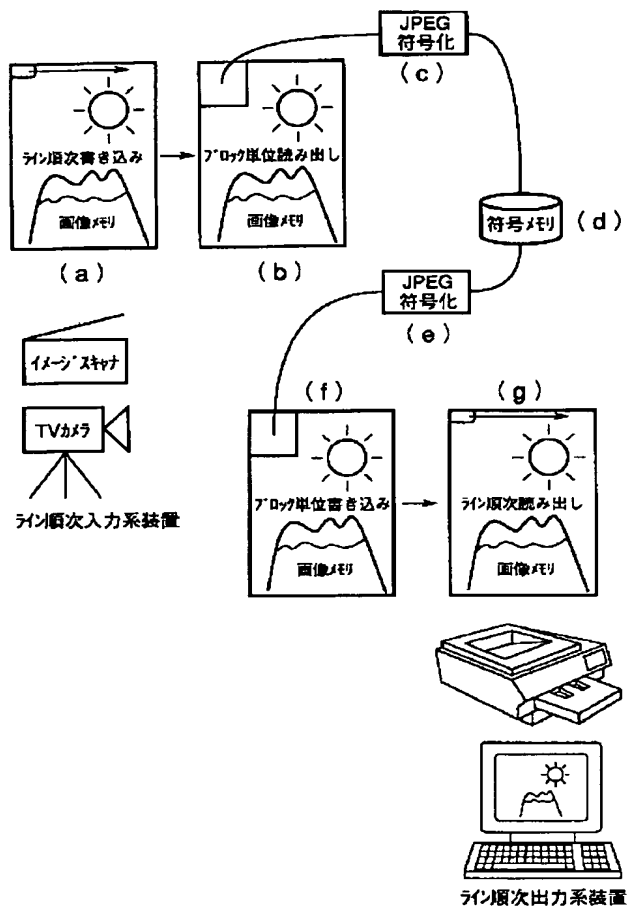
[Drawing 33]



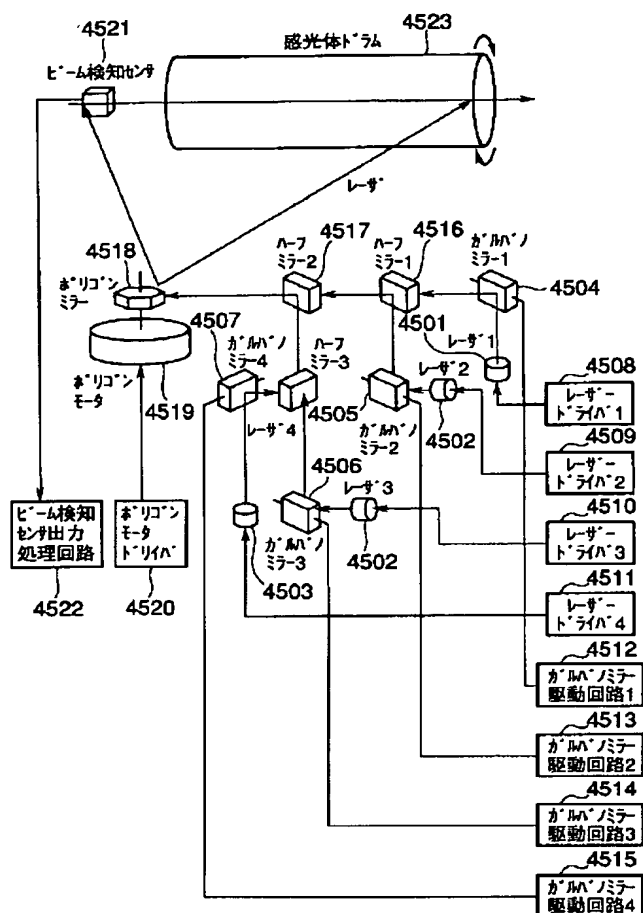
[Drawing 34]



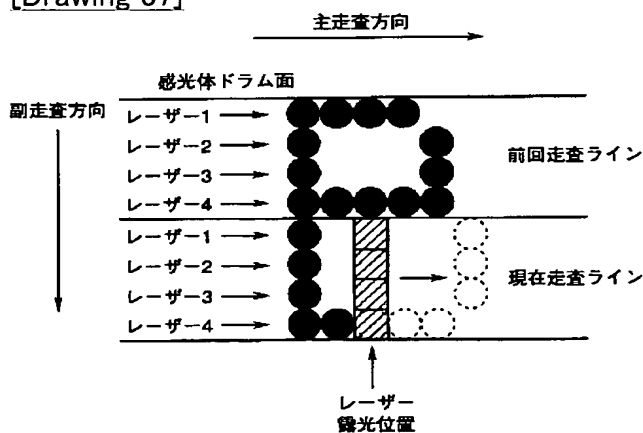
[Drawing 35]



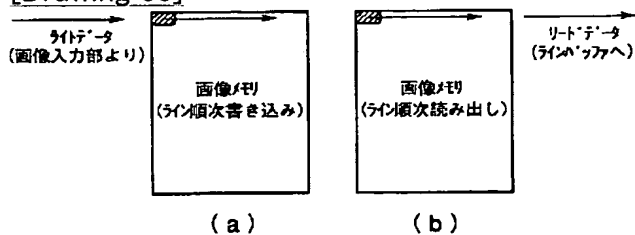
[Drawing 36]



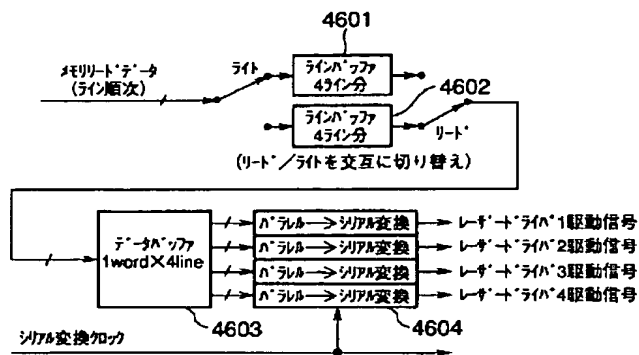
[Drawing 37]



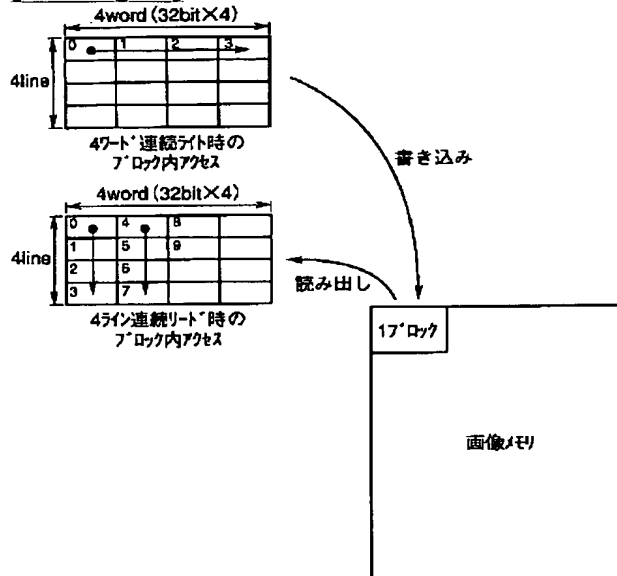
[Drawing 38]



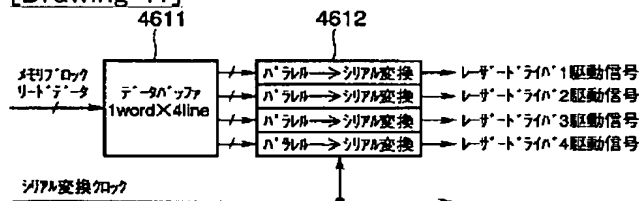
[Drawing 39]



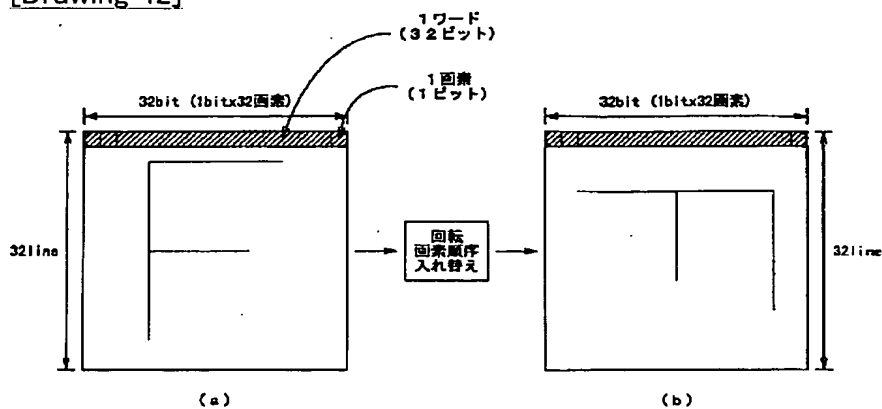
[Drawing 40]



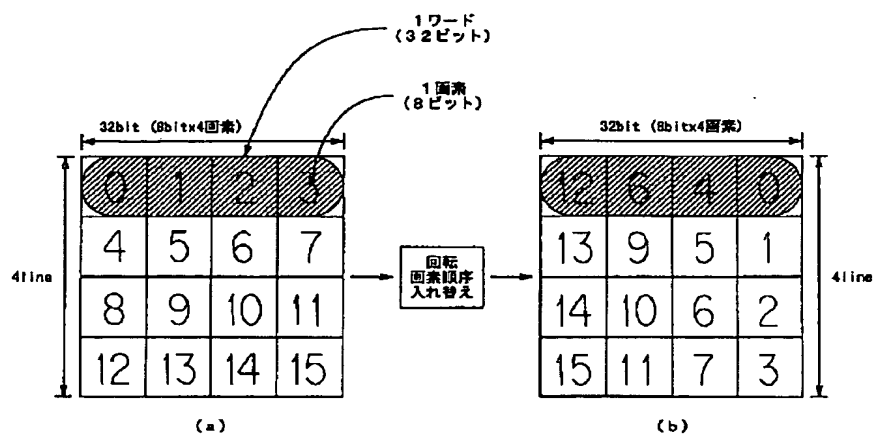
[Drawing 41]



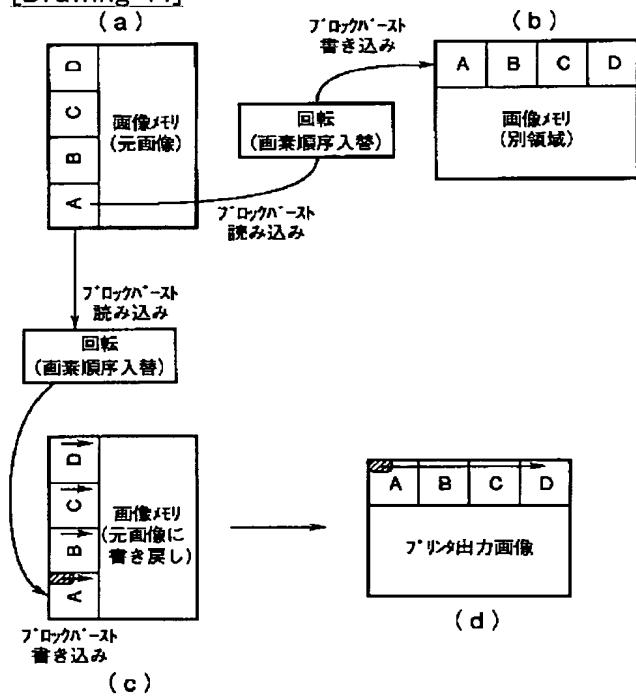
[Drawing 42]



[Drawing 43]



[Drawing 44]



[Translation done.]

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平10-210251

(43) 公開日 平成10年(1998) 8月7日

(51) Int.Cl.⁶

識別記号

F I

H 0 4 N 1/21

H 0 4 N 1/21

B 4 1 J 5/30

B 4 1 J 5/30

Z

H 0 4 N 1/387

H 0 4 N 1/387

1/41

1/41

B

審査請求 未請求 請求項の数16 O L (全 46 頁)

(21) 出願番号

特願平9-7263

(22) 出願日

平成9年(1997) 1月20日

(71) 出願人 000003078

株式会社東芝

神奈川県川崎市幸区堀川町72番地

(72) 発明者 渡邊 功一

神奈川県川崎市幸区柳町70番地 株式会社

東芝柳町工場内

(72) 発明者 町田 弘信

神奈川県川崎市幸区柳町70番地 株式会社

東芝柳町工場内

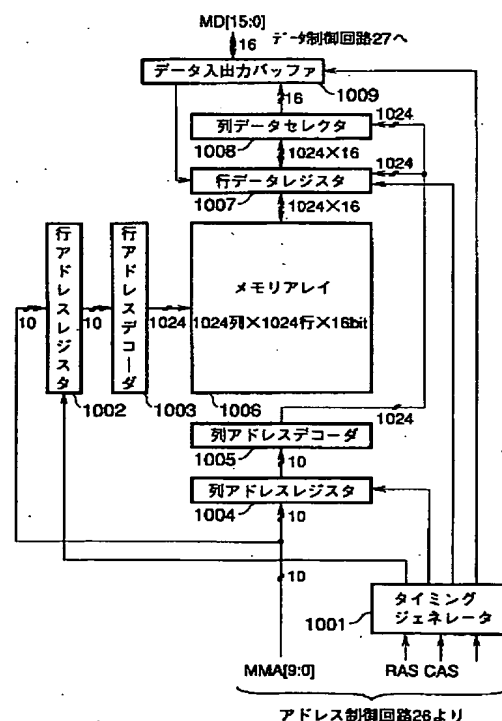
(74) 代理人 弁理士 鈴江 武彦 (外6名)

(54) 【発明の名称】 画像メモリアクセス方法、画像形成装置、画像形成記憶装置、アドレス発生方法、及びアドレス発生装置

(57) 【要約】

【課題】 この発明は、同一ブロック内であれば横方向、縦方向、ブロック全体、ブロックの一部といった任意のデータに対しバーストアクセスを可能にし、アクセス方向によらずに画像メモリに対する高速アクセスを可能にできる。

【解決手段】 この発明は、画像全体をブロックに分割し、それぞれのブロックをバーストアクセス可能なメモリアドレスのデータで構成するようにしたものである。



【特許請求の範囲】

【請求項1】 複数行、複数列のビットからなるメモリアレイと、
このメモリアレイに対し、1行分のビットデータの一括読出し及び、一括書込みの可能な、1行分のビットデータを保持するデータレジスタと、
このデータレジスタに、1行分のビットデータの一括読出し及び、一括書込みを行う上記メモリアレイの行を選択する行アドレス選択手段と、
上記1行分のビットデータを保持するデータレジスタの読出し及び、書込みを行う特定のビットを選択する列アドレス選択手段と、
からなる画像メモリにおいて、
原稿画像を複数画素からなるブロックに分割し、
同一ブロックの画素データを、上記メモリアレイの同一行に記憶するようにし、
同一ブロック内の画素データへのアクセスであれば、上記メモリアレイの行アドレスを1回指定するだけで、同一ブロック内の複数の画素データを上記データレジスタの列アドレスのみの指定でアクセスすることを特徴とする画像メモリアクセス方法。

【請求項2】 上記ブロックを構成するビットデータ数の正数倍が上記メモリアレイの1行分のビットデータ数となるように上記ブロックを構成することを特徴とする請求項1に記載の画像メモリアクセス方法。

【請求項3】 複数行、複数列のビットからなるメモリアレイと、
このメモリアレイに対し、1行分のビットデータの一括読出し及び、一括書込みの可能な、1行分のビットデータを保持するデータレジスタと、
このデータレジスタに、1行分のビットデータの一括読出し及び、一括書込みを行う上記メモリアレイの行を選択する行アドレス選択手段と、
上記1行分のビットデータを保持するデータレジスタの読出し及び、書込みを行う特定のビットを選択する列アドレス選択手段と、
からなる画像メモリにおいて、
原稿画像を複数画素からなるブロックに分割し、
同一ブロックの画素データを、上記メモリアレイの同一行に記憶するようにし、
同一ブロック内の画素データへのアクセスであり、既に、該当するブロックの含まれる行アドレスのビットデータが上記データレジスタに存在すれば、同一ブロック内の複数の画素データを上記データレジスタの列アドレスのみの指定でアクセスすることを特徴とする画像メモリアクセス方法。

【請求項4】 上記ブロックを構成するビットデータ数の正数倍が上記メモリアレイの1行分のビットデータ数となるように上記ブロックを構成することを特徴とする請求項3に記載の画像メモリアクセス方法。

【請求項5】 複数行、複数列のビットからなるメモリアレイと、
このメモリアレイに対し、1行分のビットデータの一括読出し及び、一括書込みの可能な、1行分のビットデータを保持するデータレジスタと、
このデータレジスタに、1行分のビットデータの一括読出し及び、一括書込みを行う上記メモリアレイの行を選択する行アドレス選択手段と、
上記1行分のビットデータを保持するデータレジスタの読出し及び、書込みを行う特定のビットを選択する列アドレス選択手段と、
からなる画像メモリを用いる画像形成装置において、
原稿画像の画素データを読取る読取手段と、
この読取手段により読取られた画像データを複数画素からなるブロックに分割し、同一ブロックの画素データを、上記メモリアレイの同一行に記憶する記憶手段と、
同一ブロック内の画素データへの読出しであれば、上記メモリアレイの行アドレスを1回指定するだけで、同一ブロック内の複数の画素データを上記データレジスタの列アドレスのみの指定で読出す読出手段と、
この読出手段により読出された画素データに応じて被画像形成媒体に画像形成する画像形成手段と、
を具備したことを特徴とする画像形成装置。

【請求項6】 上記読出手段は、上記画像メモリに記憶された原稿画像の画素データの読出し順序を変えることにより原稿画像を0度、もしくは90度、もしくは180度、もしくは270度回転した画像を読出し、この読出手段により読出された画素データに応じて被画像形成媒体に画像形成することを特徴とする請求項5に記載の画像形成装置。

【請求項7】 複数行、複数列のビットからなるメモリアレイと、
このメモリアレイに対し、1行分のビットデータの一括読出し及び、一括書込みの可能な、1行分のビットデータを保持するデータレジスタと、
上記データレジスタに、1行分のビットデータの一括読出し及び、一括書込みを行うメモリアレイの行を選択する行アドレス選択手段と、
上記1行分のビットデータを保持するデータレジスタの読出し及び、書込みを行う特定のビットを選択する列アドレス選択手段と、
からなる画像メモリを用いる画像形成装置において、
原稿画像の画素データを読取る読取手段と、
この読取手段により読取られた画像データを複数画素からなるブロックに分割し、同一ブロックの画素データを、上記メモリアレイの同一行に記憶する記憶手段と、
同一ブロック内の画素データへの読出しであり、既に、該当するブロックの含まれる行アドレスのビットデータが上記データレジスタに存在すれば、同一ブロック内の複数の画素データを上記データレジスタの列アドレスの

みの指定で読出す読出手段と、
この読出手段により読出された画素データに応じて被画像形成媒体に画像形成する画像形成手段と、
を具備したことを特徴とする画像形成装置。

【請求項8】 上記読出手段は、上記画像メモリに記憶された原稿画像の画素データの読出し順序を変えることにより原稿画像を0度、もしくは90度、もしくは180度、もしくは270度回転した画像を読出し、この読出手段により読出された画素データに応じて被画像形成媒体に画像形成することを特徴とする請求項7に記載の画像形成装置。

【請求項9】 複数行、複数列のビットからなるメモリアレイと、
このメモリアレイに対し、1行分のビットデータの一括読出し及び、一括書込みの可能な、1行分のビットデータを保持するデータレジスタと、
このデータレジスタに、1行分のビットデータの一括読出し及び、一括書込みを行う上記メモリアレイの行を選択する行アドレス選択手段と、

上記1行分のビットデータを保持するデータレジスタの読出し及び、書込みを行う特定のビットを選択する列アドレス選択手段と、

からなる画像メモリを用いる画像形成装置において、
原稿画像の画素データを読取る読取手段と、
この読取手段により読取られた画像データを画像形成時に同時に画像形成される画素データが同一のブロックに含まれるような複数画素からなるブロックに分割し、同一ブロックの画素データを、上記メモリアレイの同一行に記憶する記憶手段と、

同一ブロック内の画素データへの読出しであれば、上記メモリアレイの行アドレスを1回指定するだけで、同一ブロック内の複数の画素データを上記データレジスタの列アドレスのみの指定で画像形成時に同時に画像形成される画素データを連続して読出す読出手段と、

この読出手段により読出された画素データに応じて被画像形成媒体に複数画素を同時に画像形成する画像形成手段と、

を具備したことを特徴とする画像形成装置。

【請求項10】 複数行、複数列のビットからなるメモリアレイと、

このメモリアレイに対し、1行分のビットデータの一括読出し及び、一括書込みの可能な、1行分のビットデータを保持するデータレジスタと、

このデータレジスタに、1行分のビットデータの一括読出し及び、一括書込みを行う上記メモリアレイの行を選択する行アドレス選択手段と、

上記1行分のビットデータを保持するデータレジスタの読出し及び、書込みを行う特定のビットを選択する列アドレス選択手段と、

からなる画像メモリを用いる画像形成装置において、

原稿画像の画素データを読取る読取手段と、

この読取手段により読取られた画像形成時に同時に画像形成される画素データが同一のブロックに含まれるような複数画素からなるブロックに分割し、同一ブロックの画素データを、上記メモリアレイの同一行に記憶する記憶手段と、

同一ブロック内の画素データへの読出しであり、既に、該当するブロックの含まれる行アドレスのビットデータが上記データレジスタに存在すれば、同一ブロック内の複数の画素データを上記データレジスタの列アドレスのみの指定で画像形成時に同時に画像形成される画素データを連続して読出す読出手段と、

この読出手段により読出された画素データに応じて被画像形成媒体に複数画素を同時に画像形成する画像形成手段と、

を具備したことを特徴とする画像形成装置。

【請求項11】 複数行、複数列のビットからなるメモリアレイと、

このメモリアレイに対し、1行分のビットデータの一括読出し及び、一括書込みの可能な、1行分のビットデータを保持するデータレジスタと、

このデータレジスタに、1行分のビットデータの一括読出し及び、一括書込みを行う上記メモリアレイの行を選択する行アドレス選択手段と、

上記1行分のビットデータを保持するデータレジスタの読出し及び、書込みを行う特定のビットを選択する列アドレス選択手段と、

からなる画像メモリを用いる画像形成記憶装置において、

原稿画像の画素データを読取る読取手段と、

この読取手段により読取られた画像データを符号化の処理単位となる複数画素からなるブロックに分割し、同一ブロックの画素データを、上記メモリアレイの同一行に記憶する記憶手段と、

同一ブロック内の画素データの読出しであれば、上記メモリアレイの行アドレスを1回指定するだけで、符号化の処理単位となるブロックの複数の画素データを上記データレジスタの列アドレスのみの指定で一括して読出す読出手段と、

この読出手段により読出されたブロックの画素データを符号化する符号化手段と、

この上記符号化手段によって符号化された符号データを記憶する符号データ記憶手段と、

符号化データ記憶手段に記憶された1ページ以上の符号データを任意のページ順序で読出す符号データ読出手段と、ブロック単位に符号化された符号データを復号化する復号化手段と、

復号化されたブロック単位の画素データを上記メモリアレイの行アドレスを1回指定するだけで、復号化の処理単位となるブロックの複数の画素データを上記データレ

ジスタの列アドレスのみの指定で一括して書込む書込手段と、

上記書込手段によって書込まれた画素データに応じて被画像形成媒体に画像形成する画像形成手段と、を具備したことを特徴とする画像形成記憶装置。

【請求項12】 ライン方向に複数ワード、カラム方向に複数ワードを1ブロックとし、このブロックがライン方向に複数ブロック分、カラム方向に複数ブロック分存在する画像メモリに対して、

画像メモリを2次元的にアクセスする際に、所定のラインにおいて、1ブロックを構成するカラム方向のワード数分のバーストアクセスのアドレスを発生し、

1回のバーストアクセスごとに、1ブロックを構成するワード数分加えたアドレスを発生し、

カラム方向の複数ブロック分のバーストアクセスごとに、カラム方向の複数ブロック数から1ブロック減算した値に1ブロックを構成するワード数を乗算した値を減算した値に、1ブロック内のカラム方向のワード数分加算した値をアドレスとして発生し、

カラム方向の複数ブロック分のバーストアクセスをライン方向の複数ワード数分行うごとに、1ブロックを構成するワード数から1ブロックを構成するカラム方向のワード数を減算した値をアドレスとして発生することを特徴とするアドレス発生方法。

【請求項13】 ライン方向に複数ワード、カラム方向に複数ワードを1ブロックとし、ライン方向に複数ブロック、カラム方向に複数ブロック存在する画像メモリに対して、

画像メモリを2次元的にアクセスする際に、所定のラインにおいて、1ブロックを構成するカラム方向のワード数分のバーストアクセスのアドレスを発生し、

1回のバーストアクセスごとに、1ブロックを構成するワード数分加えたアドレスを発生し、

カラム方向の複数ブロック分のバーストアクセスごとに、カラム方向の複数ブロック数から1ブロック減算した値に1ブロックを構成するワード数を乗算した値を減算した値に、1ブロック内のカラム方向のワード数分加算した値をアドレスとして発生し、

カラム方向の複数ブロック分のバーストアクセスをライン方向の複数ワード数分行うごとに、1ブロックを構成するワード数から1ブロックを構成するカラム方向のワード数を減算した値をアドレスとして発生するアドレス発生手段を具備したことを特徴とするアドレス発生装置。

【請求項14】 複数行、複数列のビットからなるメモリアレイと、

このメモリアレイに対し、1行分のビットデータの一括読出し及び、一括書込みの可能な、1行分のビットデー

タを保持するデータレジスタと、

このデータレジスタに、1行分のビットデータの一括読出し及び、一括書込みを行う上記メモリアレイの行を選択する行アドレス選択手段と、

上記1行分のビットデータを保持するデータレジスタの読出し及び、書込みを行う特定のビットを選択する列アドレス選択手段と、

からなり、

原稿画像を複数画素からなるブロックに分割し、

同一ブロックの画素データを、上記メモリアレイの同一行に記憶するようにし、

同一ブロック内の画素データへのアクセスであれば、上記メモリアレイの行アドレスを1回指定するだけで、同一ブロック内の複数の画素データを上記データレジスタの列アドレスのみの指定でアクセスする画像メモリにおいて、

上記画像メモリの行アドレスを上位アドレス、列アドレスを下位アドレスとして表現したアドレスを1次元メモリアドレスとし、

原稿画像のブロック構成を、行方向に複数ワード、列方向に複数ワードを1ブロックとし、行方向に複数ブロック、列方向に複数ブロックとし、2次元的にアクセスする際に、

各ブロックの最初にアクセスするワードの1次元アドレスを算出し、

この1次元アドレスの行アドレスに相当する値を上記メモリアレイの行アドレスとして1回指定し、

上記1次元アドレスの列アドレスに相当する値に、各連続アクセスに共通する正または負のオフセットの値を加えた値を上記メモリアレイの列アドレスとして順次設定し、列アドレスのみの指定によるブロック内の連続アクセスを行い、

上記連続アクセスを行うためのアドレス発生手段は、

現在の連続アクセス開始アドレスを記憶するメモリアドレス記憶手段と、

第1のアドレス増分の指定手段と、

第2のアドレス増分の指定手段と、

第3のアドレス増分の指定手段と、

1連続アクセスを1回とし、連続アクセスの回数をカウントする第1のカウント手段と、

1連続アクセスを1回とし、連続アクセスの回数をカウントする第2のカウント手段と、

上記第1のカウント手段の第1のカウント周期の指定手段と、

上記第2のカウント手段の第2のカウント周期の指定手段と、

連続アクセス開始アドレスを起点として、連続アクセスを行う各々のワードのメモリアドレスへの変位を指定する指定手段とからなり、

各連続アクセスのアクセス開始アドレスは、ページの最

初にアクセスするワードの1次元アドレスを初期値とし、現在の連続アクセス開始アドレスを記憶する上記メモリアドレス記憶手段に対し、1回の連続アクセスごとに、第1のアドレス増分を加え、第1のカウンタ周期の連続アクセスごとに、第2のアドレス増分を加え、第2のカウンタ周期の連続アクセスごとに、第3のアドレス増分を加えることにより算出され、各連続アクセスを行うワードのメモリアドレスは、上記連続アクセスの開始アドレスに対し、上記連続アクセスを行う各々のワードのメモリアドレスへの変位を加えることにより算出される、

ことを特徴とするメモリアドレス発生装置。

【請求項15】 上記第1のアドレス増分、第2のアドレス増分、第3のアドレス増分、第1のカウンタ周期、第2のカウンタ周期、および上記連続アクセスを行う各々のワードのメモリアドレスへの変位は、上記1ページを構成する列方向のブロック数、1ページを構成する行方向のブロック数、1ブロックを構成する列方向のワード数、1ブロックを構成する行方向のワード数、および0度、90度、180度、270度の画像メモリのアクセス方向によって算出されることを特徴とする請求項14に記載のメモリアドレス発生装置。

【請求項16】 複数行、複数列のビットからなるメモリアレイと、

このメモリアレイに対し、1行分のビットデータの一括読出し及び、一括書込みの可能な、1行分のビットデータを保持するデータレジスタと、

このデータレジスタに、1行分のビットデータの一括読出し及び、一括書込みを行う上記メモリアレイの行を選択する行アドレス選択手段と、

上記1行分のビットデータを保持するデータレジスタの読出し及び、書込みを行う特定のビットを選択する列アドレス選択手段と、

からなり、

原稿画像を複数画素からなるブロックに分割し、

同一ブロックの画素データを、上記メモリアレイの同一行に記憶するようにし、

同一ブロック内の画素データへのアクセスであれば、上記メモリアレイの行アドレスを1回指定するだけで、同一ブロック内の複数の画素データを上記データレジスタの列アドレスのみの指定でアクセスする画像メモリにおいて、

上記画像メモリの行アドレスを上位アドレス、列アドレスを下位アドレスとして表現したアドレスを1次元メモリアドレスとし、

原稿画像のブロック構成を、行方向に複数ワード、列方向に複数ワードを1ブロックとし、行方向に複数ブロック、列方向に複数ブロックとし、2次元的にアクセスする際に、

各ブロックの最初にアクセスするワードの1次元アドレ

スを算出し、

この1次元アドレスの行アドレスに相当する値を上記メモリアレイの行アドレスとして1回指定し、

上記1次元アドレスの列アドレスに相当する値に、各連続アクセスに共通する正または負のオフセットの値を加えた値を上記メモリアレイの列アドレスとして順次設定し、列アドレスのみの指定によるブロック内の連続アクセスを行い、

上記連続アクセスを行うためのアドレス発生手段は、現在の連続アクセス開始アドレスを記憶するメモリアドレス記憶手段と、

第1のアドレス増分の指定手段と、

第2のアドレス増分の指定手段と、

第3のアドレス増分の指定手段と、

1連続アクセスを1回とし、連続アクセスの回数をカウントする第1のカウンタ手段と、

1連続アクセスを1回とし、連続アクセスの回数をカウントする第2のカウンタ手段と、

上記第1のカウンタ手段の第1のカウンタ周期の指定手段と、

上記第2のカウンタ手段の第2のカウンタ周期の指定手段と、

連続アクセス開始アドレスを起点として、連続アクセスを行う各々のワードのメモリアドレスへの変位を指定する指定手段とからなり、

各連続アクセスのアクセス開始アドレスは、ページの最初にアクセスするワードの1次元アドレスを初期値とし、現在の連続アクセス開始アドレスを記憶する上記メモリアドレス記憶手段に対し、1回の連続アクセスごとに、第1のアドレス増分を加え、第1のカウンタ周期の連続アクセスごとに、第2のアドレス増分を加え、第2のカウンタ周期の連続アクセスごとに、第3のアドレス増分を加えることにより算出され、

各連続アクセスを行うワードのメモリアドレスは、上記連続アクセスの開始アドレスに対し、上記連続アクセスを行う各々のワードのメモリアドレスへの変位を加えることにより算出されるメモリアドレス発生装置を用いて、

上記画像メモリから読出された画素データに応じて被画像形成媒体に画像形成することを特徴とする画像形成装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】この発明は、画像メモリに対するアクセスを行う画像メモリアクセス方法、画像形成装置、画像形成記憶装置、アドレス発生方法、及びアドレス発生装置に関する。

【0002】

【従来の技術】近年、イメージ情報は容易にデジタルデータとして扱えるようになってきた。これらを応用した

機器としてデジタルPPCがある。これは、従来のアナログPPCの様に原稿からの反射光を光学的に導いて感光体上に像形成を行うのではない。原稿からの反射光は一旦CCDセンサで電気信号として読み取った後デジタル信号に変換される。一旦デジタル化された原稿は様々な処理を施された後、レーザープリンタによって紙に出力される。

【0003】原稿画像を一旦デジタル信号に変換することによって、CCDセンサからの入力特性やレーザープリンタへの出力特性の補正、拡大・縮小、部分消去・枠外消去等の様々な処理が信号処理によって可能となる。

【0004】更に、デジタル信号に変換された画像は符号化処理を行うことによりデータ量を圧縮して効率的に蓄積することが可能となる。蓄積された画像は印字出力を行いたい任意の順番でもとの画像に復号化され、任意の枚数レーザープリンタへ出力することが可能である。

【0005】従来、これらの並び変えは、複写された印字出力に対しソーターやスタッカーを用いて機械的に行われていたため、装置の巨大化や騒音の増大が避けられなかった。また、複数枚数印字するためには繰り返し複写動作を行う必要があった。

【0006】また、1ページ分の画像メモリ（ページメモリ）を用意し、スキャナ（画像読取装置）からの画像もしくは符号化蓄積された画像を一旦画像メモリ上に展開した後、画像メモリの読み出し方を変えることによって90度、180度、270度といった回転画像を出力することが出来る。

【0007】画像を回転出力することにより、原稿の置く方向によらず常に同じ方向の用紙で出力することや、縦横交互に出力することによって複数部の切れ目を用紙の方向によって区別することが出来る。

【0008】また、スキャナからの画像もしくは符号化蓄積された画像を縮小した複数ページを1ページで画像メモリに展開することにより複数ページの画像を1枚に印刷する連結複写（4イン1、2イン1）が可能となる。この連結複写の際、連結する枚数によって用紙の縦横が変わってしまうため画像の回転出力が必要となる。

【0009】画像を回転出力するためには元の画像を画像メモリに一旦書き込んだ後に画像が回転されるように画像メモリを読み出す必要がある。

【0010】原稿を高画質に複写するためには原稿の読み取りやレーザープリンタに画像を印字する際の解像度を高くする必要がある。当然、高解像度化に伴いそれに必要な画像メモリの容量も膨大な大きさになる。例えば、A4サイズの前稿を400dpiの解像度で1画素あたり1ビットの白黒データとして1ページ読み取った場合、必要となる画像メモリの大きさは約2Mbyte、600dpiの解像度では約4.4Mbyteとなる。また、1画素あたりの8ビットのグレースケールデータとして読み取った場合は更にその8倍と膨大な大き

さになってしまう。

【0011】このように、画像データを記録するためには非常に膨大な大きさのメモリが必要となるため、画像メモリにはビット単価が安価なDRAMが通常使用される。

【0012】一般的なDRAMは、行（ROW）及び列（COLUMN）の2つのアドレスによって特定のアドレスを指定し、行アドレスを指定すると内部的には同じ行アドレスのデータがすべて読み出されるため同じ行アドレスのデータであれば列アドレスを指定するだけで複数のデータを高速に（行アドレスと列アドレスの両アドレスを指定する場合と比較して）アクセス可能な高速ページモード又はハイパーページモード（EDO）を有している。

【0013】さらに、連続した列アドレスをDRAM内部で発生し、外部からはDRAMに対し列アドレスのカウントアップ信号のみを与えることにより連続アドレスへのアクセスをさらに高速化したシンクロナスDRAMなどがある。

【0014】高速ページモードに対応したDRAMとしてTC5116160A、ハイパーページモードに対応したDRAMとしてTC5116165BJ（詳細はデータブック：1995年版（株）東芝MOSメモリDRAM（多ビット品）編を参照）、シンクロナスDRAMとしてTC59S1604FTなどがある（詳細はデータブック：1995年版（株）東芝MOSメモリASMIC編を参照）。

【0015】以後、上記したような、DRAMに対し起点となるアドレスを与え高速な連続アクセスを行うことをDRAMのバーストアクセスと呼ぶこととする。

【0016】これらのDRAMを使用して画像メモリを構成する場合、特願平6-85676号では2次元の画像に対し左上から右下へ向かってライン順次にメモリアドレスが増加している。

【0017】従って、メモリの連続したアドレスを2次元の画像メモリに対応させるために、ライン左端から右へ向かってアドレスを増加し、ライン右終端のメモリアドレスと次のライン（1つ下のライン）のライン左端のメモリアドレスが連続している。

【0018】メモリアドレスは下位に列（COLUMN）アドレス、上位に行（ROW）アドレスが割り当てられている。

【0019】よって、同じラインの左右方向内ではアドレスが連続するために上位アドレスである行アドレスは下位アドレスの変化する範囲で同じ値を保っている。

【0020】しかし、ラインの異なる上下方向ではアドレスが不連続となるため上位アドレスが同じとなる保証はない。

【0021】原稿を高画質に複写するためには原稿の読み取りやレーザープリンタに画像を印字する際の解像度

を高くする必要がある。当然、高解像度化に伴いそれに必要な画像メモリの容量も膨大な大きさになる。例えば、前述の通りA4サイズの高解像度の原稿を400dpiの解像度で1画素あたり1ビットの白黒データとして1ページ読み取った場合必要となる画像メモリの大きさは約2Mbyte、600dpiの解像度では約4.4Mbyteとなる。また、1画素あたりの8ビットのグレースケールデータとして読み取った場合は更にその8倍と膨大な大きさになってしまう。

【0022】これらの大量の画像データを画像メモリ上で処理するためには、スキャナから画像メモリへの画像データ転送、画像メモリからプリンタへの画像データ転送、また、画像を蓄積するための画像符号化、復号化装置との画像転送など、非常に高速な画像メモリの転送速度が要求される。

【0023】例えば、画像メモリ上の画像データを1分間に60回プリンタへ転送する場合、A4サイズ、600dpiの白黒の画像は1秒間に4.4Mbyte、1画素あたりの8ビットのグレースケールデータとして読み取った場合は更にその8倍の1秒間に35.2Mbyteの転送速度が必要となる。

【0024】従来方式ではメモリの連続したアドレスを2次元の画像メモリに対応させる際に左右方向および上下方向のメモリアドレスの連続性を考慮していなかった。

【0025】従って、通常アクセス時の左右方向、回転アクセス時の上下方向、2次元的なブロックを処理単位としてアクセスを行う画像処理や符号化・復号化処理、複数のレーザー露光装置により複数ラインが同時に印字可能なプリンタに対する複数ラインの読み出しの際に、毎回行アドレスおよび列アドレスを与え1ワード単位にアクセスを行うしかなく、DRAMのバーストアクセスによる高速転送を行うことができなかった。

【0026】また、高速転送が必要な際には、1度にアクセスするワードのビット幅を広げることや他の高速なメモリデバイスを使用することにより対応していたため、装置規模やコストの増大が避けられなかった。

【0027】

【発明が解決しようとする課題】上記したように、画像メモリに対する高速アクセスを行うことができないという欠点を除去するもので、画像メモリに対するバーストアクセスを可能とし、高速アクセスが可能な画像メモリアクセス方法、画像形成装置、画像形成記憶装置、アドレス発生方法、及びアドレス発生装置を提供することを目的とする。

【0028】

【課題を解決するための手段】この発明は、複数行、複数列のビットからなるメモリアレイと、このメモリアレイに対し、1行分のビットデータの一括読出し及び、一括書込みの可能な、1行分のビットデータを保持するデ

ータレジスタと、このデータレジスタに、1行分のビットデータの一括読出し及び、一括書込みを行う上記メモリアレイの行を選択する行アドレス選択手段と、上記1行分のビットデータを保持するデータレジスタの読出し及び、書込みを行う特定のビットを選択する列アドレス選択手段とからなる画像メモリにおいて、原稿画像を複数画素からなるブロックに分割し、同一ブロックの画素データを、上記メモリアレイの同一行に記憶するようにし、同一ブロック内の画素データへのアクセスであれば、上記メモリアレイの行アドレスを1回指定するだけで、同一ブロック内の複数の画素データを上記データレジスタの列アドレスのみの指定でアクセスするものである。

【0029】この発明は、複数行、複数列のビットからなるメモリアレイと、このメモリアレイに対し、1行分のビットデータの一括読出し及び、一括書込みの可能な、1行分のビットデータを保持するデータレジスタと、このデータレジスタに、1行分のビットデータの一括読出し及び、一括書込みを行う上記メモリアレイの行を選択する行アドレス選択手段と、上記1行分のビットデータを保持するデータレジスタの読出し及び、書込みを行う特定のビットを選択する列アドレス選択手段とからなる画像メモリにおいて、原稿画像を複数画素からなるブロックに分割し、同一ブロックの画素データを、上記メモリアレイの同一行に記憶するようにし、同一ブロック内の画素データへのアクセスであり、既に、該当するブロックの含まれる行アドレスのビットデータが上記データレジスタに存在すれば、同一ブロック内の複数の画素データを上記データレジスタの列アドレスのみの指定でアクセスするものである。

【0030】この発明は、複数行、複数列のビットからなるメモリアレイと、このメモリアレイに対し、1行分のビットデータの一括読出し及び、一括書込みの可能な、1行分のビットデータを保持するデータレジスタと、このデータレジスタに、1行分のビットデータの一括読出し及び、一括書込みを行う上記メモリアレイの行を選択する行アドレス選択手段と、上記1行分のビットデータを保持するデータレジスタの読出し及び、書込みを行う特定のビットを選択する列アドレス選択手段とからなる画像メモリを用いる画像形成装置において、原稿画像の画素データを読取る読取手段と、この読取手段により読取られた画像データを画像形成時に同時に画像形成される画素データが同一のブロックに含まれるような複数画素からなるブロックに分割し、同一ブロックの画素データを、上記メモリアレイの同一行に記憶する記憶手段と、同一ブロック内の画素データへの読出しであれば、上記メモリアレイの行アドレスを1回指定するだけで、同一ブロック内の複数の画素データを上記データレジスタの列アドレスのみの指定で画像形成時に同時に画像形成される画素データを連続して読出す読出手段と、

この読出手段により読出された画素データに応じて被画像形成媒体に複数画素を同時に画像形成する画像形成手段から構成される。

【0031】この発明は、複数行、複数列のビットからなるメモリアレイと、このメモリアレイに対し、1行分のビットデータの一括読出し及び、一括書込みの可能な、1行分のビットデータを保持するデータレジスタと、このデータレジスタに、1行分のビットデータの一括読出し及び、一括書込みを行う上記メモリアレイの行を選択する行アドレス選択手段と、上記1行分のビットデータを保持するデータレジスタの読出し及び、書込みを行う特定のビットを選択する列アドレス選択手段とからなる画像メモリを用いる画像形成装置において、原稿画像の画素データを読取る読取手段と、この読取手段により読取られた画像形成時に同時に画像形成される画素データが同一のブロックに含まれるような複数画素からなるブロックに分割し、同一ブロックの画素データを、上記メモリアレイの同一行に記憶する記憶手段と、同一ブロック内の画素データへの読出しであり、既に、該当するブロックの含まれる行アドレスのビットデータが上記データレジスタに存在すれば、同一ブロック内の複数の画素データを上記データレジスタの列アドレスのみの指定で画像形成時に同時に画像形成される画素データを連続して読出す読出手段と、この読出手段により読出された画素データに応じて被画像形成媒体に複数画素を同時に画像形成する画像形成手段から構成される。

【0032】この発明は、複数行、複数列のビットからなるメモリアレイと、このメモリアレイに対し、1行分のビットデータの一括読出し及び、一括書込みの可能な、1行分のビットデータを保持するデータレジスタと、このデータレジスタに、1行分のビットデータの一括読出し及び、一括書込みを行う上記メモリアレイの行を選択する行アドレス選択手段と、上記1行分のビットデータを保持するデータレジスタの読出し及び、書込みを行う特定のビットを選択する列アドレス選択手段とからなる画像メモリを用いる画像形成記憶装置において、原稿画像の画素データを読取る読取手段と、この読取手段により読取られた画像データを符号化の処理単位となる複数画素からなるブロックに分割し、同一ブロックの画素データを上記メモリアレイの同一行に記憶する記憶手段と、同一ブロック内の画素データの読出しであれば、上記メモリアレイの行アドレスを1回指定するだけで、符号化の処理単位となるブロックの複数の画素データを上記データレジスタの列アドレスのみの指定で一括して読出す読出手段と、この読出手段により読出されたブロックの画素データを符号化する符号化手段と、この上記符号化手段によって符号化された符号データを記憶する符号データ記憶手段と、符号化データ記憶手段に記憶された1ページ以上の符号データを任意のページ順序で読出す符号データ読出手段と、ブロック単位に符号化

された符号データを復号化する復号化手段と、復号化されたブロック単位の画素データを上記メモリアレイの行アドレスを1回指定するだけで、復号化の処理単位となるブロックの複数の画素データを上記データレジスタの列アドレスのみの指定で一括して書込む書込手段と、上記書込手段によって書込まれた画素データに応じて被画像形成媒体に画像形成する画像形成手段から構成される。

【0033】この発明は、ライン方向に複数ワード、カラム方向に複数ワードを1ブロックとし、このブロックがライン方向に複数ブロック分、カラム方向に複数ブロック分存在する画像メモリに対して、画像メモリを2次元的にアクセスする際に、所定のラインにおいて、1ブロックを構成するカラム方向のワード数分のバーストアクセスのアドレスを発生し、1回のバーストアクセスごとに、1ブロックを構成するワード数分加えたアドレスを発生し、カラム方向の複数ブロック分のバーストアクセスごとに、カラム方向の複数ブロック数から1ブロック減算した値に1ブロックを構成するワード数を乗算した値を減算した値に、1ブロック内のカラム方向のワード数分加算した値をアドレスとして発生し、カラム方向の複数ブロック分のバーストアクセスをライン方向の複数ワード数分行うごとに、1ブロックを構成するワード数から1ブロックを構成するカラム方向のワード数を減算した値をアドレスとして発生するものである。

【0034】この発明は、複数行、複数列のビットからなるメモリアレイと、このメモリアレイに対し、1行分のビットデータの一括読出し及び、一括書込みの可能な、1行分のビットデータを保持するデータレジスタと、このデータレジスタに、1行分のビットデータの一括読出し及び、一括書込みを行う上記メモリアレイの行を選択する行アドレス選択手段と、上記1行分のビットデータを保持するデータレジスタの読出し及び、書込みを行う特定のビットを選択する列アドレス選択手段とからなり、原稿画像を複数画素からなるブロックに分割し、同一ブロックの画素データを、上記メモリアレイの同一行に記憶するようにし、同一ブロック内の画素データへのアクセスであれば、上記メモリアレイの行アドレスを1回指定するだけで、同一ブロック内の複数の画素データを上記データレジスタの列アドレスのみの指定でアクセスする画像メモリにおいて、上記画像メモリの行アドレスを上位アドレス、列アドレスを下位アドレスとして表現したアドレスを1次元メモリアドレスとし、原稿画像のブロック構成を、行方向に複数ワード、列方向に複数ワードを1ブロックとし、行方向に複数ブロック、列方向に複数ブロックとし、2次元的にアクセスする際に、各ブロックの最初にアクセスするワードの1次元アドレスを算出し、この1次元アドレスの行アドレスに相当する値を上記メモリアレイの行アドレスとして1回指定し、上記1次元アドレスの列アドレスに相当する

値に、各連続アクセスに共通する正または負のオフセットの値を加えた値を上記メモリアレイの列アドレスとして順次設定し、列アドレスのみの指定によるブロック内の連続アクセスを行い、上記連続アクセスを行うためのアドレス発生手段は、現在の連続アクセス開始アドレスを記憶するメモリアドレス記憶手段と、第1のアドレス増分の指定手段と、第2のアドレス増分の指定手段と、第3のアドレス増分の指定手段と、1連続アクセスを1回とし、連続アクセスの回数をカウントする第1のカウント手段と、1連続アクセスを1回とし、連続アクセスの回数をカウントする第2のカウント手段と、上記第1のカウント手段の第1のカウント周期の指定手段と、上記第2のカウント手段の第2のカウント周期の指定手段と、連続アクセス開始アドレスを起点として、連続アクセスを行う各々のワードのメモリアドレスへの変位を指定する指定手段とからなり、各連続アクセスのアクセス開始アドレスは、ページの最初にアクセスするワードの1次元アドレスを初期値とし、現在の連続アクセス開始アドレスを記憶する上記メモリアドレス記憶手段に対し、1回の連続アクセスごとに、第1のアドレス増分を加え、第1のカウント周期の連続アクセスごとに、第2のアドレス増分を加え、第2のカウント周期の連続アクセスごとに、第3のアドレス増分を加えることにより算出され、各連続アクセスを行うワードのメモリアドレスは、上記連続アクセスの開始アドレスに対し、上記連続アクセスを行う各々のワードのメモリアドレスへの変位を加えることにより算出されるものである。

【0035】

【発明の実施の形態】以下、この発明の第1の実施形態について図面を参照して説明する。

【0036】すなわち、この発明をコピー、ファクシミリ、プリンタの3機能を有する複合形の画像形成装置の実施例について説明する。

【0037】図1はこの発明の画像形成装置の一例としてのデジタル複写機の内部構造を示す概略構成ブロック図である。

【0038】図1に示すように、デジタル複写機は装置本体110を備え、この装置本体110内には、後述する読み取り手段として機能するスキャナ13、および画像形成手段として機能するプリンタ15が設けられている。

【0039】装置本体110の上面には、読取対象物、つまり原稿Dが載置される透明なガラスからなる原稿載置台112が設けられている。また、装置本体110の上面には、原稿載置台112上に原稿を自動的に送る自動原稿送り装置107（以下、ADFと称する）が配設されている。このADF107は、原稿載置台112に対して開閉可能に配設され、原稿載置台112に載置された原稿Dを原稿載置台112に密着させる原稿押さえとしても機能する。

【0040】ADF107は、原稿Dがセットされる原稿トレイ108、原稿の有無を検出するエンピティセンサ109、原稿トレイ108から原稿を一枚ずつ取り出すピックアップローラ114、取り出された原稿を搬送する給紙ローラ115、原稿の先端を整位するアライニングローラ対116、原稿載置台112のほぼ全体を覆うように配設された搬送ベルト118を備えている。そして、原稿トレイ108に上向きにセットされた複数枚の原稿は、その最下の頁、つまり、最終頁から順に取り出され、アライニングローラ対116により整位された後、搬送ベルト118によって原稿載置台112の所定位置へ搬送される。

【0041】ADF7において、搬送ベルト118を挟んでアライニングローラ対116と反対側の端部には、反転ローラ120、非反転センサ121、フラップ122、排紙ローラ123が配設されている。後述するスキャナ13により画像情報の読み取られた原稿Dは、搬送ベルト118により原稿載置台112上から送り出され、反転ローラ120、フラップ121、および排紙ローラ122を介してADF7上面の原稿排紙部124上に排出される。原稿Dの裏面を読み取る場合、フラップ122を切換えることにより、搬送ベルト118によって搬送されてきた原稿Dは、反転ローラ120によって反転された後、再度搬送ベルト118により原稿載置台112上の所定位置に送られる。

【0042】装置本体110内に配設されたスキャナ13は、原稿載置台112に載置された原稿Dを照明する光源としての露光ランプ125、および原稿Dからの反射光を所定の方向に偏向する第1のミラー126を有し、これらの露光ランプ125および第1のミラー126は、原稿載置台112の下方に配設された第1のキャリッジ127に取り付けられている。

【0043】第1のキャリッジ127は、原稿載置台112と平行に移動可能に配置され、図示しない歯付きベルト等を介して駆動モータにより、原稿載置台112の下方を往復移動される。

【0044】また、原稿載置台112の下方には、原稿載置台112と平行に移動可能な第2のキャリッジ128が配設されている。第2のキャリッジ128には、第1のミラー126により偏向された原稿Dからの反射光を順に偏向する第2および第3のミラー130、131が互いに直角に取り付けられている。第2のキャリッジ128は、第1のキャリッジ127を駆動する歯付きベルト等により、第1のキャリッジ127に対して従動されるとともに、第1のキャリッジに対して、1/2の速度で原稿載置台112に沿って平行に移動される。

【0045】また、原稿載置台112の下方には、第2のキャリッジ128上の第3のミラー131からの反射光を集束する結像レンズ132と、結像レンズ132により集束された反射光を受光して光電変換するCCDセ

ンサ134とが配設されている。結像レンズ132は、第3のミラー131により偏向された光の光軸を含む面内に、駆動機構を介して移動可能に配設され、自身が移動することで反射光を所望の倍率で結像する。そして、CCDセンサ134は、入射した反射光を光電変換し、読み取った原稿Dに対応する電気信号を出力する。

【0046】一方、プリンタ15は、潜像形成手段として作用するレーザ露光装置140を備えている。レーザ露光装置140は、光源としての半導体レーザ141と、半導体レーザ141から出射されたレーザ光を連続的に偏向する走査部材としてのポリゴンミラー136と、ポリゴンミラー136を後述する所定の回転数で回転駆動する走査モータとしてもポリゴンモータ137と、ポリゴンミラーからのレーザ光を偏向して後述する感光体ドラム144へ導く光学系142とを備えている。このような構成のレーザ露光装置140は、装置本体110の図示しない支持フレームに固定支持されている。

【0047】半導体レーザ141は、スキャナ13により読み取られた原稿Dの画像情報、あるいはファクシミリ送受信文書情報等に応じてオン・オフ制御され、このレーザ光はポリゴンミラー136および光学系142を介して感光体ドラム144へ向けられ、感光体ドラム144周面を走査することにより感光体ドラム144周面上に静電潜像を形成する。

【0048】また、プリンタ15は、装置本体110のほぼ中央に配設された像担持体としての回転自在な感光体ドラム144を有し、感光体ドラム144周面は、レーザ露光装置140からのレーザ光により露光され、所望の静電潜像が形成される。感光体ドラム144の周囲には、ドラム周面を所定の電荷に帯電させる帯電チャージャ145、感光体ドラム144周面上に形成された静電潜像に現像剤としてのトナーを供給して所望の画像濃度で現像する現像器146、後述する用紙カセットから給紙された被転写材、つまり、コピー用紙Pを感光体ドラム144から分離させるための剥離チャージャ147を一体に有し、感光体ドラム144に形成されたトナー像を用紙Pに転写させる転写チャージャ148、感光体ドラム144周面からコピー用紙Pを剥離する剥離爪149、感光体ドラム144周面に残留したトナーを清掃する清掃装置150、および、感光体ドラム144周面の除電する除電器151が順に配置されている。

【0049】装置本体110内の下部には、それぞれ装置本体から引出し可能な上段カセット152、中段カセット153、下段カセット154が互いに積層状態に配設され、各カセット内にはサイズの異なるコピー用紙が装填されている。これらのカセットの側方には大容量フィーダ155が設けられ、この大容量フィーダ155には、使用頻度の高いサイズのコピー用紙P、例えば、A4サイズのコピー用紙Pが約3000枚収納されてい

る。また、大容量フィーダ155の上方には、手差しトレイ156を兼ねた給紙カセット157が脱着自在に装着されている。

【0050】装置本体110内には、各カセットおよび大容量フィーダ155から感光体ドラム144と転写チャージャ148との間に位置した転写部を通して延びる搬送路158が形成され、搬送路158の終端には定着ランプ160aを有する定着装置160が設けられている。定着装置160に対向した装置本体110の側壁には排出口161が形成され、排出口161にはシングルトレイのフィニッシャ180が装着されている。

【0051】上段カセット152、中段カセット153、下段カセット154、給紙カセット157の近傍および大容量フィーダ155の近傍には、カセットあるいは大容量フィーダから用紙Pを一枚ずつ取り出すピックアップアップローラ163がそれぞれ設けられている。また、搬送路158には、ピックアップアップローラ163により取り出されたコピー用紙Pを搬送路158を通して搬送する多数の給紙ローラ対164が設けられている。

【0052】搬送路158において感光体ドラム144の上流側にはレジストローラ対165が設けられている。レジストローラ対165は、取り出されたコピー用紙Pの傾きを補正するとともに、感光体ドラム144上のトナー像の先端とコピー用紙Pの先端とを整合させ、感光体ドラム144周面の移動速度と同じ速度でコピー用紙Pを転写部へ給紙する。レジストローラ対165の手前、つまり、給紙ローラ164側には、コピー用紙Pの到達を検出するアライニング前センサ166が設けられている。

【0053】ピックアップアップローラ163により各カセットあるいは大容量フィーダ155から1枚ずつ取り出されたコピー用紙Pは、給紙ローラ対164によりレジストローラ対165へ送られる。そして、コピー用紙Pは、レジストローラ対165により先端が整位された後、転写部に送られる。

【0054】転写部において、感光体ドラム144上に形成された現像剤像、つまり、トナー像が、転写チャージャ148により用紙P上に転写される。トナー像の転写されたコピー用紙Pは、剥離チャージャ147および剥離爪149の作用により感光体ドラム144周面から剥離され、搬送路158の一部を構成する搬送ベルト167を介して定着装置160に搬送される。そして、定着装置160によって現像剤像がコピー用紙Pに溶融定着した後、コピー用紙Pは、給紙ローラ対168および排紙ローラ対169により排出口161を通してフィニッシャ180上へ排出される。

【0055】搬送路158の下方には、定着装置160を通過したコピー用紙Pを反転して再びレジストローラ対165へ送る自動両面装置170が設けられている。自動両面装置170は、コピー用紙Pを一時的に集積す

る一時集積部171と、搬送路158から分岐し、定着装置160を通過したコピー用紙Pを反転して一時集積部71に導く反転路172と、一時集積部に集積されたコピー用紙Pを一枚ずつ取り出すピックアップローラ173と、取り出された用紙を搬送路174を通してレジストローラ対165へ給紙する給紙ローラ175とを備えている。また、搬送路158と反転路172との分岐部には、コピー用紙Pを排出口161あるいは反転路172に選択的に振り分ける振り分けゲート176が設けられている。

【0056】両面コピーを行う場合、定着装置160を通過したコピー用紙Pは、振り分けゲート176により反転路172に導かれ、反転された状態で一時集積部71に一時的に集積された後、ピックアップローラ173および給紙ローラ対175により、搬送路174を通してレジストローラ対165へ送られる。そして、コピー用紙Pはレジストローラ対165により整位された後、再び転写部に送られ、コピー用紙Pの裏面にトナー像が転写される。その後、コピー用紙Pは、搬送路158、定着装置160および排紙ローラ169を介してフィニッシャ180に排紙される。

【0057】フィニッシャ180は排出された一部構成の文書を一部単位でステープル止めし貯めていくものである。ステープルするコピー用紙Pが一枚排出口161から排出される度にガイドバー181にてステープルされる側に寄せて整合する。全てが排出され終わると紙押えアーム152が排出された一部単位のコピー用紙Pを抑えステープラユニット183がステープル止めを行う。その後、ガイドバー181が下がり、ステープル止めが終わったコピー用紙Pはその一部単位でフィニッシャ排出ローラ185にてそのフィニッシャ排出トレイ184に排出される。フィニッシャ排出トレイ184の下がる量は排出されるコピー用紙Pの枚数によりある程度決められ、一部単位に排出される度にステップ的に下がる。また排出されるコピー用紙Pを整合するガイドバー181はフィニッシャ排出トレイ184上に載った既にステープル止めされたコピー用紙Pに当たらないような高さの位置にある。

【0058】また、フィニッシャ排出トレイ184は、ソートモード時、一部ごとにシフト（たとえば、前後左右の4つの方向へ）するシフト機構（図示しない）に接続されている。

【0059】図2は画像形成装置の全体構成を示すブロック図で、この装置は、基本的な複写機能を実行する基本ユニット1、本装置を他のシステムと接続する時に画像データを一時的に記憶したり、画像データを編集・加工して複写するときに画像データを記憶するページメモリ等を有するシステム基本ユニット2、前記基本ユニット1から入力した画像データを電子的かつ半永久的に保存するための光ディスク装置等を有し、かつ他のシステ

ムとの間で画像データあるいは制御データをやりとりする時に、画像データ及び制御データを他のシステムの制御体系、画像フォーマットに変換する制御手段を有するシステム拡張ユニット3の3つのシステムで構成されている。

【0060】前記基本ユニット1とシステム基本ユニット2は制御データをやりとりする基本部システムインタフェース4と画像データをやりとりする基本部画像インタフェース5とにより接続されている。

【0061】前記システム基本ユニット2とシステム拡張ユニット3は制御データをやりとりする拡張部システムインタフェース6と画像データをやりとりする拡張部画像インタフェース7とにより接続されている。

【0062】すなわち前記基本ユニット1とシステム拡張ユニット3とは直接接続されておらず、制御データ及び画像データのやりとりは必ずシステム基本ユニット2を介して行われるようになっている。

【0063】この画像形成装置は、システム基本ユニット2及びシステム拡張ユニット3の接続の有無により3つの形態をとる。

【0064】すなわち第1の形態は基本ユニット1のみの構成で、この構成での基本的な機能は複写機能であり、拡大縮小処理やマスキング／トリミング処理等の簡易的な編集処理を伴う複写処理が可能である。

【0065】第2の形態は基本ユニット1にシステム基本ユニット2を接続した形態で、この形態では基本ユニット1での複写機能のほかに、画像データを一時的に記憶するページメモリを用いて、画像の回転処理、複数の画像の合成処理等の編集処理が可能となる。また、このシステム基本ユニット2には、システム拡張ユニット3の他にファクシミリ等の通信回線制御手段を構成するFAX（ファクシミリ）ユニット8及び基本ユニット1のプリンタを外部のパソコン等の制御機器のリモートプリンタとして使用するためのプリンタコントローラ9を接続することが可能となっており、このFAXユニット8から通信回線を介して他のシステムや機器に画像を送信したり、逆に通信回線を介して他のシステムや機器から画像データを受信することが可能であり、受信した画像データは基本ユニット1に送られ後述するプリンタにより印字出力される。

【0066】第3の形態は基本ユニット1、システム基本ユニット2及びシステム拡張ユニット3を接続した形態で図2に示す形態となる。

【0067】この形態においては第1及び第2の形態での機能の他に画像データを電子的かつ半永久的に保存し、保存した画像データを管理するデータ保存／管理機能、後述するローカルエリアネットワーク（LAN）回線制御手段からLAN回線を介して他のシステムや機器に画像を送信したり、逆にLAN回線を介して他のシステムや機器から画像データを受信するLANによる画像

データの送受信機能、汎用インタフェースを介してパーソナルコンピュータから送られてくる印字制御コードをイメージデータに変換し、システム基本ユニット2のページメモリを介して基本ユニット1のプリンタから上記イメージデータを印字出力するプリンタ機能等が可能となる。

【0068】前記基本ユニット1は、図3に示すように、制御部本体を構成するシステムCPU11、操作部及び表示部を備えたコントロールパネル12、原稿から画像を読み取る入力手段としてのイメージスキャナ13、画像処理回路14及び出力手段としてのプリンタ15で構成されている。前記システムCPU11は基本部システムバス16を介してコントロールパネル12、スキャナ13、画像処理回路14及び画像形成出力を行う出力手段としてのプリンタ15と接続され、これらを制御するようになっている。この基本部システムバス16は前記基本部システムインタフェース4に接続されている。

【0069】前記スキャナ13は列状に配置された複数(1ライン)の受光素子からなるCCDラインセンサ(図示せず)を有し、原稿台(図示せず)に載置された原稿の画像をシステムCPU11からの指示に従い1ライン毎に読みとり、画像の濃淡を8ビットのデジタルデータに変換した後、スキャナインタフェースを介して、同期信号と共に時系列デジタルデータとして画像処理回路14へ出力する。

【0070】前記プリンタ15は、レーザ光学系(図示せず)と転写紙に画像形成が可能な電子写真方式を組み合わせた画像形成部(図示せず)から構成され、システムCPU11からの指示に従い画像処理回路14から4ビットのデジタル画像データをプリンタインタフェースを介して、同期信号に同期して入力し、画像データの大きさに応じたパルス幅のレーザ光により感光体ドラム(図示せず)上に静電潜像を形成した後、可視化手段(図示せず)により上記静電潜像を可視化し、転写手段(図示せず)により可視化された画像を転写紙に転写し、定着手段(図示せず)により転写紙上の画像を定着して該転写紙を出力するものである。

【0071】前記コントロールパネル12は、本装置の動作モードやパラメータを設定する操作部とシステムの状態、またはシステム基本ユニット2のページメモリに格納された画像イメージを表示する表示部から構成される。

【0072】前記システムCPU11は、後述するシステム基本ユニット2の各部も制御するようになっている。

【0073】前記画像処理回路14は、図4に示すように、平滑化エッジ強調回路14a、編集/移動回路14b、拡大/縮小回路14c及び階調変換回路14dからなる。

【0074】前記平滑化エッジ強調回路14aは、画像読み取り時に混入したノイズを平滑化回路により除去し、平滑化によってボケが生じたエッジをエッジ強調回路により先鋭化する。

【0075】前記編集/移動回路14bは、ライン単位 of 簡易的な編集処理を行うブロックで、例えばライン方向の移動処理、マスキング/トリミング処理を行う。

【0076】前記拡大/縮小回路14cは、指定した変倍率に応じた画素の繰り返し処理あるいは間引き処理と補間処理の組み合わせにより拡大縮小処理を行う。

【0077】前記階調変換回路14dは、面積階調手法を用いて前記スキャナ13で読み取った1画素8ビットの画像データを指定した階調数に階調変換する。そして階調変換した画像データはプリンタのビット数である1画素4ビットの画像データでプリンタ15、あるいはスキャナデータバス17および前記基本部画像インタフェース5を介して前記システム基本ユニット2へ送られる。

【0078】前記プリンタ15の入出力特性の非線形性の補正は面積階調手法を用いて階調処理を行うときに同時に行われる。

【0079】前記システム基本ユニット2は、図4に示すように、画像データとしてスキャナ13により読み取ったビットイメージデータとこのイメージデータを圧縮した符号化データ等を記憶するページメモリ28、基本ユニット1内のシステムCPU11とシステム拡張ユニット3内のCPUとの制御情報の通信を制御したり、基本ユニット1およびシステム拡張ユニット3からのページメモリ28へのアクセスを制御するシステム制御回路21、ページメモリ28のアドレスを生成するページメモリアドレス制御回路26、システム基本ユニット2内の各デバイス間のデータ転送を行う画像バス29、この画像バス29を介してページメモリ28と他のデバイスとのデータ転送を行うときのデータ転送を制御するページメモリデータ制御回路27を設けている。

【0080】ページメモリ28は、1ページ分のイメージデータを記憶する画像領域(ワークエリア、画像メモリ)28aと、複数ページ分の圧縮された符号化データを記憶する符号領域(ファイルエリア)28bとから構成されている。上記画像領域28aが後述するDRAMにより構成されている。

【0081】また、基本部画像インタフェース5を介して基本ユニット1と画像データを転送するときに画像データをインタフェースする画像データI/F210、解像度の異なる機器に画像データを送信するときに画像データを他の機器の解像度に変換したり、解像度の異なる機器から受信した画像データを基本ユニット1のプリンタ15の解像度に変換したり、2値画像データの90度回転処理を実行する解像度変換2値回転回路212、ファクシミリ送信や光ディスク記憶のように画像データを

圧縮して送信したり、記憶したりするデバイスのために入力した画像データを圧縮したり、圧縮された形態の画像データがプリンタ15を介して可視化するために伸長する圧縮／伸長回路211を設けている。

【0082】また、文字フォントが記憶されているFONTメモリ、システムCPU11が使用する制御情報を一時的に記憶するワークメモリ、システム基本ユニット2を使用して処理を行う時の処理プログラムが記憶されているプログラムメモリ等で構成されるシステムメモリ（ROM／RAM）24、基本部システムバス16のデバイス間でのデータ転送を高速に行うためのシステムDMAコントローラ23、プリンタコントローラ9とシステムCPU11との間で制御情報のやり取りをしたり、プリンタコントローラ9と画像バス29との間で画像データ転送を行うときに上記制御情報および画像データをインタフェースするプリンタコントローラインタフェース213を設けている。

【0083】さらに、システム制御回路21に接続され、システムCPU11とシステム拡張ユニット3のCPUとの間で制御情報の通信を行うときに制御情報を記憶させるための通信メモリ25、画像データI／F210に接続され、プリンタ15から画像データを出力するときに画像データを90度あるいは180度回転して出力するときに使用する多値回転メモリ214を設けている。

【0084】なお、前記FAXユニット8及びプリンタコントローラ9はオプションにより接続されようになっている。

【0085】前記システム拡張ユニット3は、図5に示すように、内部の各デバイスを拡張部システムバス43を介して制御する拡張CPU31、拡張部システムバス43上でのデータ転送を制御する拡張DMAコントローラ32、汎用的なISAバス44、拡張部システムバス43とISAバス44をインタフェースするISAバスコントローラ33、拡張部システムバス43に接続され画像データを電子的に保存するための保存手段、例えばハードディスク装置35、そのインタフェースであるハードディスクインターフェース34、前記ISAバス44に接続され画像データを電子的に保存するための保存手段、例えば光ディスク装置38、そのインタフェースである光ディスクインターフェース37、LAN機能を実現するためのローカルエリアネットワーク回線制御装置（LAN）41、プリンタ機能を実現するためのプリンタコントローラ制御装置40、G4・FAX制御機能を有するG4・FAX制御回路39、SCSI仕様のデバイスを接続するときに使用する拡張SCSIインタフェース42、前記プリンタコントローラ制御装置40からのイメージデータを前記拡張画像インタフェース7を介してシステム基本ユニット2へ出力するための拡張部画像バス45、前記拡張部システムバス43と拡張部画像

バス45との間でデータをやりとりするときのインタフェースを行うバッファメモリ36で構成される。

【0086】なお、前記光ディスクインターフェース37、光ディスク装置38、G4・FAX制御回路39、プリンタコントローラ制御装置40、ローカルエリアネットワーク回線制御装置41、拡張SCSIインタフェース42はオプションでありシステム拡張ユニット3から着脱可能な構成となっている。

【0087】前記光ディスク装置38は、インタフェース37を介してISAバス44と接続され、前記拡張CPU31は、SCSIコマンドを用いて拡張部システムバス43、ISAバスコントローラ33、ISAバス44を介して前記光ディスク装置38を制御する。

【0088】前記ローカルエリアネットワーク回線制御装置41は、接続されるネットワークシステムのプロトコルに基づいてネットワーク上の他の機器と制御データやイメージデータの通信を制御する回線制御部、LANからの通信制御データやイメージデータ、あるいはシステム拡張バスからの制御データやイメージデータを一時的に格納しておく共有メモリ、システム拡張バスインタフェースから構成される。

【0089】前記プリンタコントローラ制御装置40は、パーソナルコンピュータとの間で制御コードやイメージデータのやりとりを行うセントロニクス準拠のパラレルインタフェース、ビットイメージデータをシステム基本ユニットのページメモリ28へ転送するためのシステム拡張部画像バス45とのインタフェースをとるシステム拡張画像バスインタフェース、装置内のイメージデータの転送を制御するイメージデータ転送制御部、パーソナルコンピュータからの制御コードを解釈し、拡張部システムバス43及びISAバス44を介して拡張CPU31に制御情報を知らせたり、パーソナルコンピュータからの印字制御コードを解釈し、ビット情報に変換した後、ビット情報を装置内のメモリに記憶する制御手段、ISAバス44とのインタフェースをとるシステム拡張バスインタフェースとから構成される。

【0090】次に前記システム基本ユニット2内の要部の構成と機能について詳細を説明する。

【0091】前記システム制御回路21は、図7に示すように、前記システムCPU11と拡張CPU31との制御情報の通信を制御する通信メモリアクセス制御回路401、前記通信メモリ25とのインタフェースをとる通信メモリアンタフェース402、基本ユニット1およびシステム拡張ユニット3からのページメモリ28へのアクセスを制御するページメモリアクセス制御回路403、基本部システムバス16を介して基本ユニット1のシステムCPU11から送られてくる制御情報やイメージ情報を同時に送られてくるアドレスをデコードして該当するシステム基本ユニット2内のブロックに上記制御情報あるいはイメージ情報を振り分ける基本部システ

ムバスインタフェース405、システム拡張ユニット3からの制御情報やイメージ情報を同時に送られてくるアドレスをデコードして回路内の該当するブロックに振り分けるシステム拡張バスインタフェース406、基本部システムバス16上のページメモリアクセスが可能な手段（基本ユニット内のCPU11およびDMAコントローラ22）やシステム拡張バス43上のページメモリアクセスが可能な手段（システム拡張ユニット3のCPU31およびDMAコントローラ32）が各々のシステムバスを介してページメモリ28内の画像データをアクセスするときに、前記ページメモリアクセス制御回路403とページメモリ28の間で画像データのやりとりをインタフェースするページメモリインタフェース404から構成される。

【0092】前記通信メモリアクセス制御回路401は基本ユニット1のCPU11とシステム拡張ユニット3のCPU31がシステム制御回路21内の通信メモリインタフェース402を介して通信メモリ25と制御コードの受け渡しを行うとき、その通信メモリ25のアクセスを制御する。

【0093】前記通信メモリ25は基本ユニット1のCPU11及びシステム拡張ユニットのCPU31のメモリ空間にマッピングされており、それぞれからは特定の領域をアクセスすることにより前記通信メモリ25とのデータのリード、ライトが可能となる。

【0094】前記通信メモリアクセス制御回路401は、図8に示すように、調停回路410、通信メモリアクセスシーケンサ412、双方向セクタ413及び割込制御回路414により構成される。

【0095】前記調停回路410は基本ユニット1のCPU11とシステム拡張ユニット3のCPU31の通信メモリアクセスの優先度制御を行う。前記基本ユニット1のCPU11とシステム拡張ユニット3のCPU31が通信メモリ25を同時にアクセスした時には、設定された優先度に基づきどちらか一方のアクセスを許可し、他方のアクセスを待たせる。

【0096】前記通信メモリアクセスシーケンサ412は、許可されたCPUの要求に基づき通信メモリ25に対してリードあるいはライトの制御信号を出力する。

【0097】前記双方向セクタ413は、調停回路410の調停結果に基づき、許可された制御手段が出力した通信メモリ25に対するアドレスを通信メモリアクセスシーケンサ412が出力するタイミング信号に同期して通信メモリ25へ出力する。そしてライト動作においては許可されたCPUがアドレスと一緒に出力する通信情報（データ）をアドレス情報と共に通信メモリ25へ出力する。また、リード動作においては許可されたCPUからの通信メモリ25に対するアドレスと通信メモリアクセスシーケンサ412が出力するタイミング信号により通信メモリ25から読み出された通信情報を入力

し、許可されたCPUへ出力する。

【0098】前記ページメモリアクセス制御回路403は、図9に示すように、調停回路430、データレジスタ431、432、436、437、アドレスレジスタ433、双方向セクタ434及びページメモリアクセスシーケンサ435により構成されている。

【0099】前記調停回路430は、基本ユニット1のCPU11とシステム拡張ユニット3のCPU31のページメモリアクセスの優先度制御を行う。CPU11とCPU31がページメモリ28を同時にアクセスした時には、設定された優先度に基づきどちらか一方のCPUのアクセスを許可し、他方のCPUのアクセスを待たせる。

【0100】前記ページメモリアクセスシーケンサ435は、許可されたCPUの要求に基づきページメモリ28に対してリードあるいはライトの制御信号をアドレス制御回路26に出力する。

【0101】前記双方向セクタ434は、調停回路430の調停結果に基づき、許可されたCPUが出力したページメモリ28に対するアドレスをページメモリアクセスシーケンサ435が出力するタイミング信号に同期してアドレス制御回路26へ出力する。そしてライト動作においては許可されたCPUがアドレスと一緒に出力する情報（データ）をアドレス情報と共にデータ制御回路27へ出力する。また、リード動作においては許可されたCPUからのページメモリ28に対するアドレスとページメモリアクセスシーケンサ435が出力するタイミング信号によりページメモリ28から読み出された画像データをデータ制御回路27を介して入力し、上記許可されたCPUへ出力する。

【0102】前記データレジスタ431及びデータレジスタ432は、基本ユニット1がページメモリ28をアクセスするときにデータを一時的に蓄えるレジスタであり、前記アドレスレジスタ433は基本ユニット1が出力するページメモリ28のアドレスを一時的に記憶しておくレジスタである。

【0103】ここで、基本ユニット1がデータレジスタ431を使用してページメモリ28をアクセスする場合は、基本ユニット1が出力したアドレスがアドレスレジスタ433に一時的に蓄えられ、アドレス制御回路26を介してページメモリ28へ出力される。これに対して基本ユニット1がデータレジスタ432を使用してページメモリ28をアクセスする場合、基本ユニット1が出力するアドレスは無視され、アドレス制御回路26のアドレス発生部が設定情報に基づいてアドレスをページメモリ28に出力する。

【0104】また前記データレジスタ436及びデータレジスタ437は、システム拡張ユニット3がページメモリ28をアクセスするときにデータを一時的に蓄えるレジスタであり、システム拡張ユニット3がページメモ

リ28をアクセスする場合は2つのレジスタ共アドレス制御回路26のアドレス発生部が設定情報に基づいてアドレスをページメモリ28に出力する。

【0105】基本ユニット1のシステムDMAコントローラ23は基本部システムバス22上のデバイス間のデータ転送を基本ユニット1のCPU11を介在せずにハード的に高速に転送するためのコントローラである。

【0106】前記システムDMAコントローラ23を使用してデータ転送を行う処理としては、FAX送受信処理におけるページメモリ28とFAXユニット8間の圧縮データ(コードデータ)の転送、ページメモリ28上のイメージをコントロールパネル12に表示するためのページメモリ28とコントロールパネル12間のイメージデータの転送、操作画面をコントロールパネル12に表示するためのシステムメモリ24とコントロールパネル12間のデータ転送等がある。

【0107】前記ページメモリ28のアドレスを生成するアドレス制御回路26は、図10に示すように、画像バス29からのリクエストによって各種の転送シーケンスを実行する転送制御シーケンサ610、画像バス29のリクエストとシステムバス22のリクエストを調停を行う調停部611、画像バス29からの転送において複数チャンネルの各種メモリアドレスを発生するアドレス発生部612、このアドレス発生部612から出力されるアドレスとシステムアドレスとを切り換えるセクタ613、DRAM(画像領域28a)のアドレス及び制御信号を発生するDRAM制御部614から構成されている。

【0108】前記アドレス制御回路26は、画像バス29及びシステムバス22の2系統からメモリ・アクセス・リクエストを受け付ける。このリクエストは調停部611により調停が行われ、調停に勝った側のデータ転送処理が行われる。

【0109】システムバス側のリクエストが調停に勝った場合、セクタ613によって選択されたシステムアドレスはDRAM制御部614に入力される。DRAM制御部614は入力されたアドレスをDRAM(画像領域28a)のアドレスに変換すると共に、リード、ライトに必要な制御信号を発生する。

【0110】また、転送制御シーケンサ610には画像バス29からリクエストと共にアドレスチャンネル信号が入力され、アドレス発生部612内の複数のアドレス発生器から1つを選択する。画像バス29側のリクエストが調停に勝つと、選択されたチャンネルのメモリアドレスがアドレス発生部612から出力され、DRAM制御部614に入力される。

【0111】前記アドレス発生部612は、図11に示すように、4チャンネルの2次元アドレス発生器631、632、633、634、2チャンネルのFIFOアドレス発生器635、636及び転送シーケンサから

のチャンネルセレクト信号によって、それらの発生するメモリアドレスの内の1つを選択するセクタ637により構成されている。

【0112】このような各種のアドレスの発生可能な2次元アドレス発生器を使用することによって、ページメモリ28の任意の矩形領域に対する転送、回転読み出しや繰り返し読み出し、また、2次元アドレス発生器を2チャンネル使用することによって、ページメモリ28の任意の領域間で画像の移動、回転、縦横変換、繰り返し、鏡像等の画像編集が可能である。

【0113】FIFOアドレス発生器635、636は、ページメモリ28をFIFOメモリとして使用するためのFIFOアドレス、FIFO制御に必要なステータスを発生する。

【0114】ステータスとしては、FIFOフル(FIFO領域が未読出しのデータで満杯の状態)、FIFOエンプティ(FIFO領域に未読出しのデータがない状態)、FIFOハーフ(FIFO領域に半分以上の未読出しデータがある状態)がある。また、システムCPU11からFIFOのレジスタを読み出すことによって、FIFOに入っているデータ量及び空き容量を知ることが出来る。

【0115】これらのステータスを用いてFIFO制御を行うことで、画像バス29のデバイスからデバイス、または、画像バス29のデバイスからシステムバス22へ転送する際に、それぞれの転送速度や、転送タイミングの差をFIFOメモリで吸収することができ、高速なデータ転送が可能である。

【0116】また、FIFOアドレス発生器635、636はFIFO制御を行わない場合、1チャンネルにつき2チャンネル分の1次元アドレス発生器として使用することが可能である。

【0117】前記データ制御回路27は、図12に示すように、システム基本ユニット2内の画像バス29上のデバイス間のデータ転送、および画像バス29上のデバイスとページメモリ28間のデータ転送を制御する画像データ転送制御部701、ビットブロック転送及び種々のラスタオペレーション(論理演算)を実行するイメージ処理部702、基本ユニット1のCPU11あるいはシステム拡張ユニット3のCPU31が前記システム制御回路21を介してページメモリ28をアクセス(リード/ライト)するときのデータをインタフェースするシステムインターフェース703、ページメモリ28への書き込み処理において前記アドレス制御回路26のページメモリアクセス調停結果に基づいて前記画像データ転送制御部701を介して送られてくる画像バス29上のデバイスからのデータか、あるいはシステムインターフェース703を介して送られてくるCPU(基本ユニット1のCPU11あるいはシステム拡張ユニット3のCPU31)からのデータかを選択するセクタ704、

ページメモリ28からのデータの読出し処理において前記アドレス制御回路26のページメモリアクセス調停結果に基づいて前記画像データ転送制御部701を介した画像バス29上のデバイスへデータを送るか、あるいはシステムインターフェース703を介したCPU(基本ユニット1のCPU11あるいはシステム拡張ユニット3のCPU31)へデータを送るかを選択するセレクタ705で構成されている。

【0118】次に、図12に示した前記画像データ転送制御部701の制御について説明する。画像データ転送制御部701が制御する画像データの転送形態には次の2つの形態がある。

【0119】1つの形態はシステム基本ユニット2の画像バス29上のI/Oデバイス間のデータ転送で、ソース(転送元)/ディスティネーション(転送先)とも画像バス29上にあり、ソースから画像データ転送制御部701内のデータバッファにデータを取り込むリードサイクルとデータバッファ上のデータをディスティネーションに書き込むライトサイクルの2サイクルで構成される。

【0120】もう1つの形態はシステム基本ユニット2の画像バス29上のI/Oデバイスとページメモリ28間のデータ転送で、I/Oデバイスと画像データ転送制御部701内のデータバッファ間のデータ転送サイクルと、データバッファとページメモリ28間のデータ転送の2つのサイクルで構成される。

【0121】ページメモリ28とデータバッファ間は画像バス29と独立なため、2つのサイクルは並行して動作することが可能となっている。

【0122】また画像データ転送制御部701は上記した2つの形態のデータ転送を8チャンネル指定することが可能で、同時に8チャンネルのデータ転送が可能となっている。

【0123】前記画像データ転送制御部701は、図13に示すように、データバッファ740、画像バス優先度制御部741、転送制御シーケンサ742、ページメモリ優先度制御部743、ページメモリタイミング制御部744、ターミナルカウンタ745、割込制御部746、制御バスインターフェース747、パラメータレジスタ748及びI/Oバッファ749により構成されている。

【0124】前記データバッファ740はデータ転送においてソースからのデータを一時的に格納しておくデータレジスタをチャンネル数分有する。

【0125】前記画像バス優先度制御部741は、画像バス29上のデバイスからのデータ転送リクエスト(REQ)を入力し、所定の優先度制御によりデータ転送を許可するデバイスを決定し、許可されたデバイスにデータ転送を開始を通知(ACK)する。

【0126】前記転送制御シーケンサ742は、前記画

像バス優先度制御部741の優先度制御結果に基づいて決定したソースデバイスとディスティネーションデバイス間のデータ転送のタイミング信号を生成し画像バス29に出力する。

【0127】前記ページメモリ優先度制御部743は、データバッファ740が出力するリクエスト信号を入力し、ページメモリ28とデータバッファ740との間のデータ転送チャンネルを所定の優先度に基づいて決定する。

【0128】前記ページメモリタイミング制御部744は、ページメモリ優先度制御部743の優先度制御結果に基づいて決定した転送チャンネルのページメモリ28とデータバッファ740間のデータ転送のタイミング信号を生成しアドレス制御回路26に出力する。データバッファ740からの転送リクエスト信号は、ページメモリ28へのライト処理においては画像バス29上のデバイスからのデータがデータバッファ740内に格納されている状態のときに、ページメモリ28からのデータのリード処理においてはデータバッファ740内にデータが格納されていない状態のときに、ページメモリ優先度制御部743に出力される。

【0129】前記パラメータレジスタ748は、転送チャンネル毎の転送元、転送先、転送バイト数、転送終了時の割り込み処理の有無等を設定しておくレジスタである。前記画像バス29は、32ビットのデータ幅を有し、1画素のビット幅によらず常に32ビットのデータ転送が行われる。例えばスキャナ13から2値(1ビット/画素)のデータをページメモリ28へ書き込む場合は、画像バス29上は32画素データが一度に画像データI/F210から画像データ転送制御部701を介してページメモリ28へ転送され、また多値(4ビット/画素)のデータをページメモリ28へ書き込む場合は、8画素のデータが画像バス29上を一度に転送される。データの32ビット化は画像バス29上の各デバイスで1画素のビット数に応じてそれぞれ行われる。

【0130】前記画像バス29上のデータ転送優先度制御はプリンタ15への出力、スキャナ13からの入力処理のように、データ転送を途中で停止したり、待たせたりできないデバイスからの転送リクエストを優先的に許可して圧縮/伸長処理や解像度変換処理のようにデータ転送を待たせることが可能なデバイスの転送リクエストは優先度の高いデバイスからの転送リクエストがないときのみ許可するというようにデバイスの性質により優先度を決定するように決められている。

【0131】ところで、図3のシステムバス16にはタイマ900が接続される。このタイマ900は、図14に示すように、タイマ制御部901、基準クロック発生回路902、基準クロック分周回路903、ダウンカウンタ904で構成される。

【0132】タイマ制御部901はシステムCPU1

1からシステムバス16を介して、基準クロック分周回路902の分周比設定、ダウンカウンタ904のカウンタ開始及び停止の制御を行う。

【0133】また、タイマー制御部901はダウンカウンタ904から出力されるキャリダウン信号によりシステムCPU11に対して割り込み信号を発生することが可能である。

【0134】基準クロック発生回路902は水晶発振器により25MHzの正確な方形波を発生する。

【0135】基準クロック分周回路903はシステムCPU11からの設定により、基準クロックを1/1から1/65536までの任意の分周比で1/nの周波数に分周する。

【0136】ダウンカウンタ904は32ビットのバイナリ・ダウンカウンタで分周クロックに同期してカウンタダウンされる。このダウンカウンタ904の初期値はシステムCPU11よりシステムバス16を介して設定される。

【0137】また、ダウンカウンタ904にキャリダウン(0からの繰り下がり)が生じると前回システムCPU11によって設定された初期値が自動的に設定される。このダウンカウンタ904の値はシステムCPU11からシステムバス16を介していつでも読み出すことができる。

【0138】また、ダウンカウンタ904のカウントダウンの開始及び停止はタイマー制御部901から出力されるカウンタイネーブル信号によって制御される。

【0139】次に、図13の画像バス優先度制御部741の詳細な構成について図15を参照して説明する。画像バス優先度制御部741は画像バス転送リクエスト調停部、910、8チャンネル分のリクエストマスク回路911、8チャンネル分のリクエスト発生部912により構成される。

【0140】リクエスト発生部912は8チャンネルの転送チャンネルごとに独立している。各チャンネルのリクエスト発生部912には画像バス転送リクエスト信号とチャンネルバッファステータスが入力され、両者の条件が満たされたとき内部の有効な転送リクエストを発生する。ここで、画像バス転送リクエスト信号は画像バス29に接続されたデバイスが画像バス29でのデータ転送を要求する際にアクティブにされる信号である。チャンネルバッファステータスは、各転送チャンネルのデータ受け渡し用のデータバッファ740の状態を表す信号で、そのチャンネルのデータバッファに有効なデータが入っていない“エンプティ”の状態及び有効なデータが入っている“フル”の2つの状態がある。

【0141】画像バス29のデバイスからデータバッファ740へのデバイス・リード転送の場合、転送したいチャンネルのデータバッファのバッファステータスが“エンプティ”でかつデバイスからそのチャンネルに対

するリクエスト信号がアクティブな時、リクエスト発生部911より内部の有効な転送リクエストが発生する。また、データバッファ740から画像バス29のデバイスへのデバイス・ライト転送の場合、転送したいチャンネルのデータバッファ740に有効なデータがありバッファステータスが“フル”でかつデバイスからそのチャンネルに対するリクエスト信号がアクティブな時、リクエスト発生部912より内部の有効な転送リクエストが発生する。

【0142】リクエストマスク回路911は前段のリクエスト発生部912で作られた転送リクエストを有効にするか否かを制御している。

【0143】転送チャンネル・イネーブルはそのチャンネルの転送の許可・非許可を決定する。

【0144】TCマスクは転送量制御を行うためのもので、ターミナルカウンタ745に予め転送したいワード数を設定し、所定のワード数を転送し終わるとTCマスクがアクティブになりそのチャンネルの転送が禁止される。この転送量制御を行わない場合は設定によりTCマスクを常に非アクティブにしておく。

【0145】FIFO制御マスクはFIFO制御を行う際にそのチャンネルの転送許可・禁止を制御しており、FIFO制御マスクはアクティブで転送禁止、非アクティブで転送許可となる。

【0146】FIFO制御をFIFOアドレス発生器635、636からのFIFOステータスで行うか、ターミナルカウンタ745の転送比較器の比較結果で行うかまたはFIFO制御を行わないかはシステムCPU11からの設定により選択する。FIFO制御を行わない場合は設定によりFIFO制御マスクを常に非アクティブにしておく。

【0147】画像バス転送リクエスト調停部910はリクエストマスク回路911が発生する8チャンネル分の転送リクエストを調停し1チャンネルを選択し、選択されたチャンネルのデバイスに対しリクエストが受け付けられ転送を許可したことを示す画像バス転送アクノリッジ信号を出力する。このアクノリッジ信号を受け取ったデバイスは画像バス29上でデータ転送を行う。

【0148】複数のチャンネルから転送リクエストが発生した場合に行う調停の優先度制御はチャンネル1から8をリング状に並べたときに前回転送を行ったチャンネルの優先度が最も低くなるラウンドロビン制御を行っている。よって、8チャンネル全てが転送リクエストを出し続けていても8回転送が行われる内に必ず順番が回ってくるため各チャンネル均等に転送が行われる。

【0149】次に、図13のページメモリ優先度制御部743の詳細な構成を図16を参照して説明する。このページメモリ優先度制御部743はページメモリ転送リクエスト調停部921、8チャンネル分のリクエストマスク回路922、8チャンネル分のリクエスト発生部9

23により構成される。

【0150】リクエスト発生部923は8チャンネルの転送チャンネルごとに独立している。各チャンネルのリクエスト発生部923にはチャンネルバッファステータスが入力され、チャンネルバッファステータスの条件が満たされたとき内部の有効な転送リクエストを発生する。

【0151】チャンネルバッファステータスは各転送チャンネルのデータ受け渡し用のデータバッファ740の状態を表す信号で、そのチャンネルのデータバッファ740に有効なデータが入っていない“エンプティ”の状態及び有効なデータが入っている“フル”の2つの状態がある。

【0152】ページメモリ404からデータバッファ740へのメモリ・リード転送の場合、転送したいチャンネルのデータバッファ740のバッファステータスが“エンプティ”つまりデータの受け取りが可能な時、リクエスト発生部923より内部の有効な転送リクエストが発生する。

【0153】また、データバッファ740からページメモリ404へのメモリ・ライト転送の場合、転送したいチャンネルのデータバッファ740に有効なデータがありバッファステータスが“フル”である時、リクエスト発生部923より内部の有効な転送リクエストが発生する。

【0154】リクエストマスク回路922は前段のリクエスト発生部923で作られた転送リクエストを有効にするか否かを制御している。

【0155】転送チャンネル・イネーブルはそのチャンネルの転送の許可・非許可を決定する。

【0156】TCマスクは転送量制御を行うためのもので、ターミナルカウンタ745に予め転送したいワード数を設定し、所定のワード数を転送し終わるとTCマスクがアクティブになりそのチャンネルの転送が禁止される。転送量制御を行わない場合は設定によりTCマスクを常に非アクティブにしておく。

【0157】FIFO制御マスクはFIFO制御を行う際にそのチャンネルの転送許可・禁止を制御しており、FIFO制御マスクはアクティブで転送禁止、非アクティブで転送許可となっている。

【0158】FIFO制御をFIFOアドレス発生器635、636からのFIFOステータスで行うか、ターミナルカウンタ745の転送比較器の比較結果で行うかまたはFIFO制御を行わないかはシステムCPU11からの設定により選択する。FIFO制御を行わない場合は設定によりFIFO制御マスクを常に非アクティブにしておく。

【0159】ページメモリ転送リクエスト調停部921はリクエストマスク回路922が発生する8チャンネル分の転送リクエストを調停し1チャンネルを選択し、選

択されたチャンネルに設定されているアドレス発生器の選択信号(RCHN)をアドレス制御部26に出力する。

【0160】複数のチャンネルから転送リクエストが発生した場合に行う調停の優先度制御はチャンネル1から8をリング状に並べたときに前回転送を行ったチャンネルの優先度が最も低くなるラウンドロビン制御を行っている。よって、8チャンネル全てが転送リクエストを出し続けていても8回転送が行われる内に必ず順番が回ってくるため各チャンネル均等に転送が行われる。

【0161】次に、図13のターミナルカウンタ745の詳細な構成について図17を参照して説明する。ターミナルカウンタ745は各チャンネル毎の転送ワード数をカウントするもので、カウントダウン信号発生部931、8チャンネル分の転送ワード数カウンタ932、2チャンネルに1つ接続されている4つの転送数比較器933により構成されている。

【0162】カウントダウン信号発生部931は画像バス優先度制御部741の調停結果に基づいた転送チャンネル信号及び選択されたチャンネルの転送ワード数カウンタ932に対して転送終了信号に従ってカウントダウン信号を出力する。

【0163】転送ワード数カウンタ932はそのチャンネルの画像バス29の1転送が終了する度にカウントダウンされる32ビットのバイナリ・ダウンカウンタである。ここで、カウンタ745の初期値はシステムCPU11よりシステムバス16を介して設定される。キャリアダウン(0からの繰り下がり)が生じるとターミナルカウント信号が出力される。

【0164】転送ワード数カウンタ932の値はシステムCPU11からシステムバス16を介していつでも読み出すことができる。

【0165】割り込みマスク回路934は8チャンネル分のターミナルカウント信号に対してシステムCPUへの割り込みの許可・非許可を行い、それらの論理和をとり1本にまとめたものをターミナルカウント割り込み信号として出力する。各チャンネルの許可・非許可の設定はシステムCPU11より行う。

【0166】転送数比較器933は2つのチャンネルの転送ワード数を比較し転送ワード数が等しいとき比較結果として出力をアクティブにする。

【0167】また、転送数比較器933は設定により比較するそれぞれの転送ワード数を各々任意の正数倍して比較することができる。通常は各々1倍にして使用する。例えばA、Bの2つのチャンネルに対しAを2倍にBを1倍に設定するとA転送ワード数がBの転送ワード数の1/2に達した時に比較結果がアクティブになる。この比較結果は2つのチャンネル間でFIFO制御を行う際の制御信号として用いられる。

【0168】次に、上記のような構成において動作を説

明する。まず、スキャナ13からページメモリ28へ画像データを入力する基本動作について説明する。スキャナ13が読み取った原稿の8bit/画素の画像出力データは、画像処理回路14を通じて8bit/画素または4bit/画素または2bit/画素または1bit/画素のスキャナ画像データとして画像データインターフェース210へ転送され、その画像データインターフェース210内部でスキャナ画像データの複数画素(4、8、16、32画素)を集め、32bit単位の転送データとして画像バス29を介してデータ制御回路27へDMA転送される。

【0169】データ制御回路27はアドレス制御回路26で発生するページメモリ28のアドレスに32bitのスキャナ画像データの書き込みを行っている。

【0170】次に、ページメモリ28上の画像データを圧縮する処理について説明する。ページメモリ28は画像データを記憶する画像領域28aと圧縮された符号データを記憶する符号領域28bに論理的に区別されている。

【0171】画像データ転送制御部701に転送経路としてページメモリ28の画像領域28aから圧縮伸長回路211の画像入力と、圧縮伸長回路211の符号出力からページメモリ28の符号領域28bへの2チャンネルを設定する。

【0172】また、符号出力の転送先をハードディスクインターフェース34や光ディスクインターフェース37とすることにより、よりビット単位の低い記録媒体に大量の画像を記録することができる。

【0173】圧縮伸長回路211に圧縮処理の諸設定を行った後、符号化開始指令を実行する。

【0174】画像データはページメモリ28から読み出され圧縮伸長回路211に入力される。圧縮伸長回路211は画像を符号化し符号をページメモリ28の符号領域28bに出力する。

【0175】次に、符号化された画像データのページメモリ28への伸長処理について説明する。画像データ転送制御部701に転送経路としてページメモリ28の符号領域28bから圧縮伸長回路211の符号入力と、圧縮伸長回路211の画像出力からページメモリ28の画像領域28aへの2チャンネルを設定する。また、符号入力の転送元をハードディスクインターフェース34や光ディスクインターフェース37とすることにより、よりビット単位の低い記録媒体に蓄積された大量の画像を記録することができる。

【0176】圧縮伸長回路211に伸長処理の諸設定を行った後、復号化開始命令を実行する。

【0177】符号データはページメモリ28から読み出され圧縮伸長回路211に入力される。そして、圧縮伸長回路211は画像を復号化し画像データをページメモリ28の画像領域28aに出力する。

【0178】次に、ページメモリ28からプリンタ15へのプリンタ出力動作について説明する。まず、ページメモリ28からプリンタ15へ画像データを出力する。アドレス制御回路26で発生するページメモリ28のアドレスで指定された32bit単位の画像データはデータ制御回路27へ転送された後、画像バス29を介して画像データインターフェース210へDMA転送される。

【0179】画像データインターフェース210の一部では32bitの画像データからプリンタ15へ出力するための1画素のビット数4bit/画素または2bit/画素または1bit/画素に変換を行い、画像処理部14を通じてプリンタ15へ転送出力される。

【0180】以上のようにして、スキャナ13からページメモリ28への画像入力動作、ページメモリ28上の画像データ圧縮処理、符号化された画像データのページメモリ28への伸長処理、ページメモリ28からプリンタ15へのプリンタ出力動作という基本動作が行われる。

【0181】次に、電子ソートについて、図18を参照して説明する。電子ソートはソートの対象となる複数の原稿を読み取り、半導体メモリやハードディスク・光ディスクなどの記憶装置に一旦蓄積し、蓄積された画像を任意の順序で任意の枚数出力するものである。そうすることによって、後から入力したページを先に出力して印字出力のページ順序を整えたり、ページ順序になったものを複数部出力するといったことが可能となる。図18は電子ソートの一例である、図のように4枚の原稿を順に入力すると、グループ出力の場合、一番最後に入力された原稿から順に必要な部数ずつ出力していく。用紙は後から出力されたものが詰まれていくため、一番はじめに入力された原稿が一番上に詰まれて出力される。

【0182】一方、ソート出力の場合、原稿入力と逆の順序で1部ずつ出力し、それを必要部数分繰返す。

【0183】ここで、本発明の画像メモリ(DRAM: 画像領域28a)および2次元アドレスの発生動作について説明する。

【0184】画像メモリの説明に先立って、DRAMの通常アクセスと高速ページモードの違いについて説明する。

【0185】まず、DRAM(画像領域28a)の内部構成の概略を説明する。

【0186】図19は16bitのデータを1048576個(アドレス)記憶することが出来るDRAMの一構成例を示しており、タイミングジェネレータ1001、行アドレスレジスタ1002、行アドレスデコーダ1003、列アドレスレジスタ1004、列アドレスデコーダ1005、メモリアレイ1006、行データレジスタ1007、列データセレクト1008、およびデータ入出力バッファ1009から構成されている。

【0187】MMA[9:0]は1048576個のどのアドレスにデータを書き込み・読み出しを行うかを指定するアドレスを入力する。制御信号RAS、CAS、WEはアドレスの取り込み及びデータの入出力のタイミングを制御する。MD[15:0]は16ビットのデータを入出力する。1048576個のアドレスを指定するためには20ビット($1048576=2^{20}$)のアドレス信号が必要となるが、MMA[9:0]の10ビットを2回に分けて入力することによって20ビット分のアドレスを指定している。

【0188】MMA[9:0]、制御信号RAS、CAS、WEは、アドレス制御回路26より供給され、MD[15:0]はデータ制御回路27へ出力される。

【0189】行アドレスレジスタ1002は行アドレスとして入力されたMMA[9:0]を保持する、列アドレスレジスタ1004は列アドレスとして入力されたMMA[9:0]を保持する。アドレスを保持するタイミングはRAS、CAS信号を基準にタイミングジェネレータ1001が発生する。行アドレスデコード1003は10ビットの行アドレスを個別の行を指定するための1024ビット($1024=2^{10}$)にデコードする。同様に列アドレスデコード1004は10ビットの列アドレスを個別の列を指定するための1024ビットにデコードする。メモリアレイ1006は実際にデータを記憶する部分で、1ビット1024列を記憶単位とする1行が1024行分、この1024列掛ける1024行のレイが16枚分ありデータビットである16ビットを構成している。

【0190】DRAMのリードはまず行アドレスを入力し、RAS信号により行アドレスを行アドレスレジスタ1002に保持する。行アドレスは行アドレスデコード1003によってデコードされメモリアレイ1006の特定の行を選択する。DRAMの読み出しは行単位で行われ選択された行のデータは行データレジスタ(1024列が16ビット分)1007に保持される。次に列アドレスを入力し、CAS信号により列アドレスを列アドレスレジスタ1004に保持する。列アドレスは列アドレスデコード1005によってデコードされ、デコード結果に基づいて行データレジスタ1007に保持された1024列分のデータから列データセクタ1008によって特定の列のデータを選択する。列データセクタ1008に選択されたデータはデータ入出力バッファ1009によって外部(データ制御回路27)に出力される。最後に行データレジスタ1007の1行分のデータをメモリアレイ1006上の元の行に書き込みリード動作を終了する。元の行への書き戻しを行う理由は、メモリアレイ1006から行データレジスタ1007に1行の読み出す際に読み出したメモリアレイ1006上のデータを破壊してしまうためである。

【0191】DRAMのライトは行アドレスを入力し、

RAS信号により行アドレスを行アドレスレジスタ1002に保持する。行アドレスは行アドレスデコード1003によってデコードされメモリアレイ1006の特定の行を選択する。DRAMの読み出しは行単位で行われ選択された行のデータは行データレジスタ(1024列が16ビット分)1007に保持される。CAS信号により列アドレスを列アドレスレジスタ1004に保持する。列アドレスは列アドレスデコード1005によってデコードされ、デコード結果に基づいて行データレジスタ1007に保持された1024列分のデータのうち1列分のデータをデータ入出力バッファ1008から入力されたデータに書き換える。つまり、指定された行の指定された列のデータが行データレジスタ1007上で書き換えられる。次に行データレジスタ1007の1行分のデータをメモリアレイ1006上の元の行に書き込み、ライト動作を終了する。

【0192】DRAMのバーストアクセスは、行アドレスを与え1行分のデータを行データレジスタ1007に読み出したうえで、同じ行のデータを読み出すのであれば列アドレスを与えるだけで何度でも読み出すことができ、また、同じ行アドレスに書き込みを行うのであれば列アドレスのみを与え、行データレジスタ1007上で変更し同一行の変更がすべて完了した段階でメモリアレイ1006に書き戻すことによって実現している。

【0193】図20の(a)～(d)に通常のリードタイミングを示す。

【0194】図20の(a)～(d)に示すように、アドレスは、RASの立ち下がりで行アドレスを、CASの立ち下がりで列アドレスを順次設定し所定時間の後にデータが出力される。

【0195】図21の(a)～(d)に高速ページモードのリードタイミングを示す。

【0196】図21の(a)～(d)に示すように、1回のアクセスに1つの行アドレスと複数(図では4アドレス)の行アドレスを与えるバーストリードサイクルのタイミングを示す。通常のリードタイミングと比較して分かるように、行アドレスを毎回与えなくて済むため、高速にデータを入出力することが可能となる。

【0197】本発明のポイントは上記のようなバーストアクセスが可能なDRAMを使用して画像メモリを構成する際に、2次元的なブロックを同一行アドレスのデータにより構成することによって、同一ブロック内であれば横方向、縦方向もしくはブロック全体に対しバーストアクセスを可能にし、アクセス方向によらずに高速アクセスが可能な画像メモリを提供することである。

【0198】次に、図22、図23を用いて、原稿画像を構成する画素と、DRAM(画像領域28a)を構成するメモリセルとの対応関係の説明する。

【0199】図22は原稿画像の画素構成を示している。

【0200】・画素構成

本例の原稿画像は横256画素、縦256画素で構成される。

【0201】画素の位置を示すために、左から右に向かってx座標、上から下に向かってy座標とし、原稿上の画素位置をP(x, y)で表すものとする。本例では、左上隅の画素をP(1, 1)、右上隅の画素をP(256, 1)、左下隅の画素をP(1, 256)、右下隅の画素をP(256, 256)とする。

【0202】・ブロック構成

横4画素、縦4画素で構成される領域を1ブロックとして、原稿画像を横64ブロック、縦64ブロックに分割する。

【0203】ブロックの位置を示すために、左から右に向かってx座標、上から下に向かってy座標とし、原稿上の画素位置をB(x, y)で表すものとする。本例では、左上隅の画素をB(1, 1)、右上隅の画素をB(64, 1)、左下隅の画素をB(1, 64)、右下隅の画素をB(64, 64)とする。

【0204】図23はDRAMのメモリセルの構成を示している。

【0205】本例のDRAMは列方向に1024個、行方向に1024個のメモリセルで構成される。メモリセルは、記憶・読み出しの際に個別に指定できる最小の単位である。

【0206】メモリセルの位置を示すために左から右に向かって列方向、上から下に向かって行方向とし、メモリセルの位置をM(列, 行)で示すものとする。本例では、左上隅のメモリセルをM(1, 1)、右上隅のメモリセルをM(1024, 1)、左下隅のメモリセルをM(1, 1024)、右下隅のメモリセルをM(1024, 1024)とする。

【0207】DRAMのメモリセルへのアクセスは、行アドレス、列アドレスの順にアドレスを設定することにより特定のメモリセルへのアクセスを行う。

【0208】DRAMに行アドレスを設定すると、指定された行のすべての列データ(M(1~1024, 行)のメモリセルの内容)が一斉にDRAM内の行データレジスタ1007に転送される。よって、同じ行のセルへのアクセスは、一旦、行データレジスタ1007に転送されてしまえば、行データレジスタ1007のデータを列アドレスのみで選択することが出来るため、行アドレスを指定する必要が無い分処理時間を短縮することが出来る。

【0209】・原稿画像の画素位置、ブロック位置とメモリセル位置の関係

図中、P(x, y)は図22の原稿画像の画素位置、B(x, y)はブロック位置を示している。

【0210】原稿画像は16画素で構成されるブロックを連続するメモリセルとして、列アドレス方向、行アド

レス方向の順で対応付けられている。

【0211】この際に、ブロックを構成する画素が必ず同一の行アドレスとなるように対応付けを行う必要がある。そうすることによって、同一ブロックの画素へに対応する画素への連続アクセスは、行アドレス指定は最初の1回のみで、画素に対応する列アドレスの指定のみで行うことが出来る。また、他のブロックであっても同じ行アドレスであれば、同様に列アドレスの指定のみでアクセスすることが可能である。

【0212】本例では、1ブロック16画素に対し、1行のメモリセルの数が1024個(1ブロックの画素数の正数倍)であるため過不足無くブロックを割り当てることが出来る。

【0213】・DRAMへの画像書き込み、読み出しの例

・スキャナ13からの画像入力

図22の原稿をスキャナ13で画像を読み取ると、x方向、y方向の順で画素の画像データが順次読み込まれる。

【0214】画素位置で表すと、まずはじめにP(1, 1)が読み込まれ、順にP(2から256, 1)、P(1から256, 2)と左上から右下に向かって読み込まれ、最後にP(256, 256)が読み込まれる。

【0215】読み込まれた画素の画像データは順次DRAMへ転送され、対応するメモリセルに記憶される。

【0216】メモリセルへの書き込みの際に、同じ行アドレスのメモリセルに対しての連続書き込みにおいては、行アドレス指定1度だけ指定し、行アドレスが異なったときのみ再度行アドレスを指定すればよい。

【0217】本例では、説明を簡単にするために、異なるブロックに最初にアクセスする毎に行アドレスを設定するものとする。

【0218】[1行目(開始ライン)の書き込み]

B(1, 1)の行アドレス設定

P(1, 1)の列アドレス設定、データ書き込み(開始画素)

P(2, 1)の列アドレス設定、データ書き込み

P(3, 1)の列アドレス設定、データ書き込み

P(4, 1)の列アドレス設定、データ書き込み

B(2, 1)の行アドレス設定

P(5, 1)の列アドレス設定、データ書き込み

P(6, 1)の列アドレス設定、データ書き込み

P(7, 1)の列アドレス設定、データ書き込み

P(8, 1)の列アドレス設定、データ書き込み

B(64, 1)の行アドレス設定

P(253, 1)の列アドレス設定、データ書き込み

P(254, 1)の列アドレス設定、データ書き込み

P(255, 1)の列アドレス設定、データ書き込み
 P(256, 1)の列アドレス設定、データ書き込み
 [2行目の書き込み]

B(1, 1)の行アドレス設定
 P(1, 2)の列アドレス設定、データ書き込み
 P(2, 2)の列アドレス設定、データ書き込み
 P(3, 2)の列アドレス設定、データ書き込み
 P(4, 2)の列アドレス設定、データ書き込み
 B(2, 1)の行アドレス設定
 P(5, 2)の列アドレス設定、データ書き込み
 P(6, 2)の列アドレス設定、データ書き込み
 P(7, 2)の列アドレス設定、データ書き込み
 P(8, 2)の列アドレス設定、データ書き込み

B(64, 1)の行アドレス設定
 P(253, 2)の列アドレス設定、データ書き込み
 P(254, 2)の列アドレス設定、データ書き込み
 P(255, 2)の列アドレス設定、データ書き込み
 P(256, 2)の列アドレス設定、データ書き込み

[256行目(最終ライン)の書き込み]

B(1, 64)の行アドレス設定
 P(1, 256)の列アドレス設定、データ書き込み
 P(2, 256)の列アドレス設定、データ書き込み
 P(3, 256)の列アドレス設定、データ書き込み
 P(4, 256)の列アドレス設定、データ書き込み
 B(2, 64)の行アドレス設定
 P(5, 256)の列アドレス設定、データ書き込み
 P(6, 256)の列アドレス設定、データ書き込み
 P(7, 256)の列アドレス設定、データ書き込み
 P(8, 256)の列アドレス設定、データ書き込み

B(64, 64)の行アドレス設定
 P(253, 256)の列アドレス設定、データ書き込み
 P(254, 256)の列アドレス設定、データ書き込み
 P(255, 256)の列アドレス設定、データ書き込み
 P(256, 256)の列アドレス設定、データ書き込み(最終画素)

・プリンタ15への画像出力(シングルビーム)

・非回転

スキャナ13よりDRAMに書き込まれた画像を、図2

2の原稿のx方向、y方向の順で画素の画像データを対応するメモリセルから順次読み出してプリンタ15へ出力する。

【0219】原稿の画素位置で表すと、まずはじめにP(1, 1)を読み出し、順にP(2から256, 1)、P(1から256, 2)を左上から右下に向かって読み出し、最後にP(256, 256)を読み出す。

【0220】読み出される画素に対応するメモリセルの画像データは順次DRAMから読み出されプリンタ15へ出力される。

【0221】メモリセルの読み出しの際に、同じ行アドレスのメモリセルに対しての連続読み出しにおいては、行アドレス指定1度だけ指定し、行アドレスが異なったときのみ再度行アドレスを指定すればよい。

【0222】本例では、説明を簡単にするために、異なるブロックに最初にアクセスする毎に行アドレスを設定するものとする。

【0223】[1行目(開始ライン)の読み出し]

B(1, 1)の行アドレス設定
 P(1, 1)の列アドレス設定、データ読み出し(開始画素)

P(2, 1)の列アドレス設定、データ読み出し
 P(3, 1)の列アドレス設定、データ読み出し
 P(4, 1)の列アドレス設定、データ読み出し
 B(2, 1)の行アドレス設定
 P(5, 1)の列アドレス設定、データ読み出し
 P(6, 1)の列アドレス設定、データ読み出し
 P(7, 1)の列アドレス設定、データ読み出し
 P(8, 1)の列アドレス設定、データ読み出し

B(64, 1)の行アドレス設定
 P(253, 1)の列アドレス設定、データ読み出し
 P(254, 1)の列アドレス設定、データ読み出し
 P(255, 1)の列アドレス設定、データ読み出し
 P(256, 1)の列アドレス設定、データ読み出し
 [2行目の読み出し]

B(1, 1)の行アドレス設定
 P(1, 2)の列アドレス設定、データ読み出し
 P(2, 2)の列アドレス設定、データ読み出し
 P(3, 2)の列アドレス設定、データ読み出し
 P(4, 2)の列アドレス設定、データ読み出し
 B(2, 1)の行アドレス設定
 P(5, 2)の列アドレス設定、データ読み出し
 P(6, 2)の列アドレス設定、データ読み出し
 P(7, 2)の列アドレス設定、データ読み出し
 P(8, 2)の列アドレス設定、データ読み出し

B(64, 1)の行アドレス設定

P(253, 2)の列アドレス設定、データ読み出し

P(254, 2)の列アドレス設定、データ読み出し

P(255, 2)の列アドレス設定、データ読み出し

P(256, 2)の列アドレス設定、データ読み出し

[256行目(最終ライン)の読み出し]

B(1, 64)の行アドレス設定

P(1, 256)の列アドレス設定、データ読み出し

P(2, 256)の列アドレス設定、データ読み出し

P(3, 256)の列アドレス設定、データ読み出し

P(4, 256)の列アドレス設定、データ読み出し

B(2, 64)の行アドレス設定

P(5, 256)の列アドレス設定、データ読み出し

P(6, 256)の列アドレス設定、データ読み出し

P(7, 256)の列アドレス設定、データ読み出し

P(8, 256)の列アドレス設定、データ読み出し

B(64, 64)の行アドレス設定

P(253, 256)の列アドレス設定、データ読み出し

P(254, 256)の列アドレス設定、データ読み出し

P(255, 256)の列アドレス設定、データ読み出し

P(256, 256)の列アドレス設定、データ読み出し(最終画素)

・右90度回転

スキャナ13よりDRAMに書き込まれた画像を、図22の原稿を反Y方向、X方向の順で画素の画像データに対応するメモリセルから順次読み出すことによって、原稿を右90度回転しプリンタ15へ出力する。

【0224】原稿の画素位置で表すと、まずはじめにP(1, 256)を読み出し、順にP(1, 255から1)、(2, 256から1)を左下から右上に向かって読み出し、最後にP(256, 1)を読み出す。

【0225】読み出される画素に対応するメモリセルの画像データは順次DRAMから読み出されプリンタ15へ出力される。

【0226】メモリセルの読み出しの際に、同じ行アドレスのメモリセルに対しての連続読み出しにおいては、行アドレス指定1度だけ指定し、行アドレスが異なったときのみ再度行アドレスを指定すればよい。

【0227】本例では、説明を簡単にするために、異なるブロックに最初にアクセスする毎に行アドレスを設定

するものとする。

【0228】[1行目(開始ライン)の読み出し]

B(1, 64)の行アドレス設定

P(1, 256)の列アドレス設定、データ読み出し(開始画素)

P(1, 255)の列アドレス設定、データ読み出し

P(1, 254)の列アドレス設定、データ読み出し

P(1, 253)の列アドレス設定、データ読み出し

B(1, 63)の行アドレス設定

P(1, 252)の列アドレス設定、データ読み出し

P(1, 251)の列アドレス設定、データ読み出し

P(1, 250)の列アドレス設定、データ読み出し

P(1, 249)の列アドレス設定、データ読み出し

B(1, 1)の行アドレス設定

P(1, 4)の列アドレス設定、データ読み出し

P(1, 3)の列アドレス設定、データ読み出し

P(1, 2)の列アドレス設定、データ読み出し

P(1, 1)の列アドレス設定、データ読み出し

[2行目の読み出し]

B(1, 64)の行アドレス設定

P(2, 256)の列アドレス設定、データ読み出し

P(2, 255)の列アドレス設定、データ読み出し

P(2, 254)の列アドレス設定、データ読み出し

P(2, 253)の列アドレス設定、データ読み出し

B(1, 63)の行アドレス設定

P(2, 252)の列アドレス設定、データ読み出し

P(2, 251)の列アドレス設定、データ読み出し

P(2, 250)の列アドレス設定、データ読み出し

P(2, 249)の列アドレス設定、データ読み出し

B(1, 1)の行アドレス設定

P(2, 4)の列アドレス設定、データ読み出し

P(2, 3)の列アドレス設定、データ読み出し

P(2, 2)の列アドレス設定、データ読み出し

P(2, 1)の列アドレス設定、データ読み出し

[256行目(最終ライン)の読み出し]

B(64, 64)の行アドレス設定

P(256, 256)の列アドレス設定、データ読み出し

P(256, 255)の列アドレス設定、データ読み出し

P(256, 254)の列アドレス設定、データ読み出し

P(256, 253)の列アドレス設定、データ読み出し

B(64, 63)の行アドレス設定
 P(256, 252)の列アドレス設定、データ読み出し
 P(256, 251)の列アドレス設定、データ読み出し
 P(266, 250)の列アドレス設定、データ読み出し
 P(256, 249)の列アドレス設定、データ読み出し

B(64, 1)の行アドレス設定
 P(256, 4)の列アドレス設定、データ読み出し
 P(256, 3)の列アドレス設定、データ読み出し
 P(256, 2)の列アドレス設定、データ読み出し
 P(256, 1)の列アドレス設定、データ読み出し
 (最終画素)

・右180度回転

スキャナ13よりDRAMに書き込まれた画像を、図22の原稿を反X方向、反Y方向の順で画素の画像データを対応するメモリセルから順次読み出すことによって、原稿を右180度回転しプリンタ15へ出力する。

【0229】原稿の画素位置で表すと、まずはじめにP(256, 256)を読み出し、順にP(255から1, 256)、(256から1, 255)を右下から左上に向かって読み出し、最後にP(1, 1)を読み出す。

【0230】読み出される画素に対応するメモリセルの画像データは順次DRAMから読み出されプリンタ15へ出力される。

【0231】メモリセルの読み出しの際に、同じ行アドレスのメモリセルに対しての連続読み出しにおいては、行アドレス指定1度だけ指定し、行アドレスが異なったときのみ再度行アドレスを指定すればよい。本例では、説明を簡単にするために、異なるブロックに最初にアクセスする毎に行アドレスを設定するものとする。

【0232】[1行目(開始ライン)の読み出し]

B(64, 64)の行アドレス設定
 P(256, 256)の列アドレス設定、データ読み出し(開始画素)
 P(255, 256)の列アドレス設定、データ読み出し
 P(254, 256)の列アドレス設定、データ読み出し
 P(253, 256)の列アドレス設定、データ読み出し
 B(63, 64)の行アドレス設定
 P(252, 256)の列アドレス設定、データ読み出し

P(251, 256)の列アドレス設定、データ読み出し
 P(250, 256)の列アドレス設定、データ読み出し
 P(249, 256)の列アドレス設定、データ読み出し

B(1, 64)の行アドレス設定
 P(4, 256)の列アドレス設定、データ読み出し
 P(3, 256)の列アドレス設定、データ読み出し
 P(2, 256)の列アドレス設定、データ読み出し
 P(1, 256)の列アドレス設定、データ読み出し
 [2行目の読み出し]

B(64, 64)の行アドレス設定
 P(256, 255)の列アドレス設定、データ読み出し
 P(255, 255)の列アドレス設定、データ読み出し
 P(254, 255)の列アドレス設定、データ読み出し
 P(253, 255)の列アドレス設定、データ読み出し

B(63, 64)の行アドレス設定
 P(252, 255)の列アドレス設定、データ読み出し
 P(251, 255)の列アドレス設定、データ読み出し
 P(250, 255)の列アドレス設定、データ読み出し
 P(249, 255)の列アドレス設定、データ読み出し

B(1, 64)の行アドレス設定
 P(4, 255)の列アドレス設定、データ読み出し
 P(3, 255)の列アドレス設定、データ読み出し
 P(2, 255)の列アドレス設定、データ読み出し
 P(1, 255)の列アドレス設定、データ読み出し

[256行目(最終ライン)の読み出し]

B(64, 1)の行アドレス設定
 P(256, 1)の列アドレス設定、データ読み出し
 P(255, 1)の列アドレス設定、データ読み出し
 P(254, 1)の列アドレス設定、データ読み出し
 P(253, 1)の列アドレス設定、データ読み出し

B(63, 1)の行アドレス設定
 P(252, 1)の列アドレス設定、データ読み出し
 P(251, 1)の列アドレス設定、データ読み出し
 P(250, 1)の列アドレス設定、データ読み出し
 P(249, 1)の列アドレス設定、データ読み出し
 B(1, 1)の行アドレス設定
 P(4, 1)の列アドレス設定、データ読み出し
 P(3, 1)の列アドレス設定、データ読み出し
 P(2, 1)の列アドレス設定、データ読み出し
 P(1, 1)の列アドレス設定、データ読み出し(最終画素)

・右270度回転

スキャナ13よりDRAMに書き込まれた画像を、図22の原稿をy方向、反x方向の順で画素の画像データを対応するメモリセルから順次読み出すことによって、原稿を右270度回転しプリンタ15へ出力する。

【0233】原稿の画素位置で表すと、まずはじめにP(256, 1)を読み出し、順にP(256, 2から256)、P(255, 1から256)を右上から左下に向かって読み出し、最後にP(1, 256)を読み出す。

【0234】読み出される画素に対応するメモリセルの画像データは順次DRAMから読み出されプリンタ15へ出力される。

【0235】メモリセルの読み出しの際に、同じ行アドレスのメモリセルに対しての連続読み出しにおいては、行アドレス指定1度だけ指定し、行アドレスが異なったときのみ再度行アドレスを指定すればよい。

【0236】本例では、説明を簡単にするために、異なるブロックに最初にアクセスする毎に行アドレスを設定するものとする。

【0237】[1行目(開始ライン)の読み出し]

B(64, 1)の行アドレス設定
 P(256, 1)の列アドレス設定、データ読み出し(開始画素)
 P(256, 2)の列アドレス設定、データ読み出し
 P(256, 3)の列アドレス設定、データ読み出し
 P(256, 4)の列アドレス設定、データ読み出し
 B(64, 2)の行アドレス設定
 P(256, 5)の列アドレス設定、データ読み出し
 P(256, 6)の列アドレス設定、データ読み出し
 P(256, 7)の列アドレス設定、データ読み出し
 P(256, 8)の列アドレス設定、データ読み出し
 B(64, 64)の行アドレス設定
 P(256, 253)の列アドレス設定、データ読み出し
 P(256, 254)の列アドレス設定、データ読み出し
 P(256, 255)の列アドレス設定、データ読み出し

P(256, 256)の列アドレス設定、データ読み出し

[2行目の読み出し]

B(64, 1)の行アドレス設定
 P(255, 1)の列アドレス設定、データ読み出し
 P(255, 2)の列アドレス設定、データ読み出し
 P(255, 3)の列アドレス設定、データ読み出し
 P(255, 4)の列アドレス設定、データ読み出し
 B(64, 2)の行アドレス設定
 P(255, 5)の列アドレス設定、データ読み出し
 P(255, 6)の列アドレス設定、データ読み出し
 P(255, 7)の列アドレス設定、データ読み出し
 P(255, 8)の列アドレス設定、データ読み出し
 B(64, 64)の行アドレス設定
 P(255, 253)の列アドレス設定、データ読み出し
 P(255, 254)の列アドレス設定、データ読み出し
 P(255, 255)の列アドレス設定、データ読み出し
 P(255, 256)の列アドレス設定、データ読み出し

[256行目(最終ライン)の読み出し]

B(1, 1)の行アドレス設定
 P(1, 1)の列アドレス設定、データ読み出し
 P(1, 2)の列アドレス設定、データ読み出し
 P(1, 3)の列アドレス設定、データ読み出し
 P(1, 4)の列アドレス設定、データ読み出し
 B(1, 2)の行アドレス設定
 P(1, 5)の列アドレス設定、データ読み出し
 P(1, 6)の列アドレス設定、データ読み出し
 P(1, 7)の列アドレス設定、データ読み出し
 P(1, 8)の列アドレス設定、データ読み出し
 B(1, 64)の行アドレス設定
 P(1, 253)の列アドレス設定、データ読み出し
 P(1, 254)の列アドレス設定、データ読み出し
 P(1, 255)の列アドレス設定、データ読み出し
 P(1, 256)の列アドレス設定、データ読み出し(最終画素)

・プリンタ15への画像出力(4ビームのマルチビーム)

・非回転

スキャナ13よりDRAに書き込まれた画像を、図22の原稿のx方向、y方向の順で4ライン分の画素の画像データを対応するメモリセルから順次読み出してプリンタ15へ出力することにより4ライン同時に印刷を行う。

【0238】原稿の画素位置で表すと、まずはじめにP(1, 1から4)を読み出し(4ライン分)、順にP(2, 1~4)、P(256, 1~4)を左上から右下に向かつて読み出し、最後にP(256, 253~256)を読み出す。

【0239】読み出される画素に対応するメモリセルの画像データは順次DRAMから読み出されプリンタ15へ出力される。

【0240】メモリセルの読み出しの際に、同じ行アドレスのメモリセルに対しての連続読み出しにおいては、行アドレス指定1度だけ指定し、行アドレスが異なったときのみ再度行アドレスを指定すればよい。

【0241】本例では、説明を簡単にするために、異なるブロックに最初にアクセスする毎に行アドレスを設定するものとする。

【0242】[1~4行目(開始ライン)の読み出し]

B(1, 1)の行アドレス設定

P(1, 1~4)の列アドレス設定、データ読み出し
(開始画素、4ライン分)

P(2, 1~4)の列アドレス設定、データ読み出し

P(3, 1~4)の列アドレス設定、データ読み出し

P(4, 1~4)の列アドレス設定、データ読み出し

B(2, 1)の行アドレス設定

P(5, 1~4)の列アドレス設定、データ読み出し

P(6, 1~4)の列アドレス設定、データ読み出し

P(7, 1~4)の列アドレス設定、データ読み出し

P(8, 1~4)の列アドレス設定、データ読み出し

B(64, 1)の行アドレス設定

P(253, 1~4)の列アドレス設定、データ読み出し

P(254, 1~4)の列アドレス設定、データ読み出し

P(255, 1~4)の列アドレス設定、データ読み出し

P(256, 1~4)の列アドレス設定、データ読み出し

[5~8行目の読み出し] B(1, 2)の行アドレス設定

P(1, 5~8)の列アドレス設定、データ読み出し

P(2, 5~8)の列アドレス設定、データ読み出し

P(3, 5~8)の列アドレス設定、データ読み出し

P(4, 5~8)の列アドレス設定、データ読み出し

B(2, 2)の行アドレス設定

P(5, 5~8)の列アドレス設定、データ読み出し

P(6, 5~8)の列アドレス設定、データ読み出し

P(7, 5~8)の列アドレス設定、データ読み出し

P(8, 5~8)の列アドレス設定、データ読み出し

B(64, 2)の行アドレス設定

P(253, 5~8)の列アドレス設定、データ読み出し

P(254, 5~8)の列アドレス設定、データ読み出し

P(255, 5~8)の列アドレス設定、データ読み出し

P(256, 5~8)の列アドレス設定、データ読み出し

[253~256行目(最終ライン)の読み出し]

B(1, 64)の行アドレス設定

P(1, 253~256)の列アドレス設定、データ読み出し

P(2, 253~256)の列アドレス設定、データ読み出し

P(3, 253~256)の列アドレス設定、データ読み出し

P(4, 253~256)の列アドレス設定、データ読み出し

B(2, 64)の行アドレス設定

P(5, 253~256)の列アドレス設定、データ読み出し

P(6, 253~256)の列アドレス設定、データ読み出し

P(7, 253~256)の列アドレス設定、データ読み出し

P(8, 253~256)の列アドレス設定、データ読み出し

B(64, 64)の行アドレス設定

P(253, 253~256)の列アドレス設定、データ読み出し

P(254, 253~256)の列アドレス設定、データ読み出し

P(255, 253~256)の列アドレス設定、データ読み出し

P(256, 253~256)の列アドレス設定、データ読み出し(最終画素、4ライン分)

・右90度回転

スキャナ13よりDRAMに書き込まれた画像を、図22の原稿の反y方向、x方向の順で4ライン分の画衆の画像データを対応するメモリセルから順次読み出してプ

リソグラフィー15へ出力することにより右90度回転した画像を4ライン同時に印刷する。

【0243】原稿の画素位置で表すと、まずはじめにP(1~4, 256)を読み出し(4ライン分)、順にP(1~4, 255)、P(1~4, 1)を左下から右上に向かって読み出し、最後にP(253~256, 1)を読み出す。

【0244】読み出される画素に対応するメモリセルの画像データは順次DRAMから読み出されプリンタ15へ出力される。

【0245】メモリセルの読み出しの際に、同じ行アドレスのメモリセルに対しての連続読み出しにおいては、行アドレス指定1度だけ指定し、行アドレスが異なったときのみ再度行アドレスを指定すればよい。

【0246】本例では、説明を簡単にするために、異なるブロックに最初にアクセスする毎に行アドレスを設定するものとする。

【0247】[1~4行目(開始ライン)の読み出し]
B(1, 64)の行アドレス設定
P(1~4, 256)の列アドレス設定、データ読み出し(開始画素、4ライン分)
P(1~4, 255)の列アドレス設定、データ読み出し
P(1~4, 254)の列アドレス設定、データ読み出し
P(1~4, 253)の列アドレス設定、データ読み出し
B(1, 63)の行アドレス設定
P(1~4, 252)の列アドレス設定、データ読み出し
P(1~4, 251)の列アドレス設定、データ読み出し
P(1~4, 250)の列アドレス設定、データ読み出し
P(1~4, 249)の列アドレス設定、データ読み出し

B(1, 1)の行アドレス設定
P(1~4, 4)の列アドレス設定、データ読み出し
P(1~4, 3)の列アドレス設定、データ読み出し
P(1~4, 2)の列アドレス設定、データ読み出し
P(1~4, 1)の列アドレス設定、データ読み出し

[5~8行目の読み出し]
B(2, 64)の行アドレス設定
P(5~8, 256)の列アドレス設定、データ読み出し
P(5~8, 255)の列アドレス設定、データ読み出し

P(5~8, 254)の列アドレス設定、データ読み出し
P(5~8, 253)の列アドレス設定、データ読み出し
B(2, 63)の行アドレス設定
P(5~8, 253)の列アドレス設定、データ読み出し
P(5~8, 252)の列アドレス設定、データ読み出し
P(5~8, 251)の列アドレス設定、データ読み出し
P(5~8, 249)の列アドレス設定、データ読み出し

B(2, 1)の行アドレス設定
P(5~8, 4)の列アドレス設定、データ読み出し
P(5~8, 3)の列アドレス設定、データ読み出し
P(5~8, 2)の列アドレス設定、データ読み出し
P(5~8, 1)の列アドレス設定、データ読み出し

[253~256行目(最終ライン)の読み出し]
B(64, 64)の行アドレス設定
P(253~256, 256)の列アドレス設定、データ読み出し
P(253~256, 255)の列アドレス設定、データ読み出し
P(253~256, 254)の列アドレス設定、データ読み出し
P(253~256, 253)の列アドレス設定、データ読み出し
B(64, 63)の行アドレス設定
P(253~256, 252)の列アドレス設定、データ読み出し
P(253~256, 251)の列アドレス設定、データ読み出し
P(253~256, 250)の列アドレス設定、データ読み出し
P(253~256, 249)の列アドレス設定、データ読み出し

B(64, 1)の行アドレス設定
P(253~256, 4)の列アドレス設定、データ読み出し
P(253~256, 3)の列アドレス設定、データ読み出し

み出し

P(253~256, 2)の列アドレス設定、データ読み出し

P(253~256, 1)の列アドレス設定、データ読み出し(最終画素、4ライン分)

・右180度回転

スキャナ13よりDRAMに書き込まれた画像を、図22の原稿の反x方向、反y方向の順で4ライン分の画素の画像データを対応するメモリセルから順次読み出してプリンタ15へ出力することにより右180度回転した画像を4ライン同時に印刷する。

【0248】原稿の画素位置で表すと、まずはじめにP(256, 256~253)を読み出し(4ライン分)、順にP(255, 256~253)、P(1, 256~253)を右下から左上に向かって読み出し、最後にP(1, 4~1)を読み出す。

【0249】読み出される画素に対応するメモリセルの画像データは順次DRAMから読み出されプリンタ15へ出力される。

【0250】メモリセルの読み出しの際に、同じ行アドレスのメモリセルに対しての連続読み出しにおいては、行アドレス指定1度だけ指定し、行アドレスが異なったときのみ再度行アドレスを指定すればよい。

【0251】本例では、説明を簡単にするために、異なるブロックに最初にアクセスする毎に行アドレスを設定するものとする。

【0252】[1~4行目(開始ライン)の読み出し]

B(64, 64)の行アドレス設定

P(256, 256~253)の列アドレス設定、データ読み出し(開始画素、4ライン分)

P(255, 256~253)の列アドレス設定、データ読み出し

P(254, 256~253)の列アドレス設定、データ読み出し

P(253, 256~253)の列アドレス設定、データ読み出し

B(63, 64)の行アドレス設定

P(252, 256~253)の列アドレス設定、データ読み出し

P(251, 256~253)の列アドレス設定、データ読み出し

P(250, 256~253)の列アドレス設定、データ読み出し

P(249, 256~253)の列アドレス設定、データ読み出し

・

・

B(1, 64)の行アドレス設定

P(4, 256~253)の列アドレス設定、データ読み出し

み出し

P(3, 256~253)の列アドレス設定、データ読み出し

P(2, 256~253)の列アドレス設定、データ読み出し

P(1, 256~253)の列アドレス設定、データ読み出し

[5~8行目の読み出し]

B(64, 63)の行アドレス設定

P(256, 252~248)の列アドレス設定、データ読み出し

P(255, 252~248)の列アドレス設定、データ読み出し

P(254, 252~248)の列アドレス設定、データ読み出し

P(253, 252~248)の列アドレス設定、データ読み出し

B(63, 63)の行アドレス設定

P(253, 252~248)の列アドレス設定、データ読み出し

P(252, 252~248)の列アドレス設定、データ読み出し

P(251, 252~248)の列アドレス設定、データ読み出し

P(249, 252~248)の列アドレス設定、データ読み出し

・

・

・

B(1, 63)の行アドレス設定

P(4, 252~248)の列アドレス設定、データ読み出し

P(3, 252~248)の列アドレス設定、データ読み出し

P(2, 252~248)の列アドレス設定、データ読み出し

P(1, 252~248)の列アドレス設定、データ読み出し

・

・

・

[253~256行目(最終ライン)の読み出し]

B(64, 1)の行アドレス設定

P(256, 4~1)の列アドレス設定、データ読み出し

P(255, 4~1)の列アドレス設定、データ読み出し

P(254, 4~1)の列アドレス設定、データ読み出し

P(253, 4~1)の列アドレス設定、データ読み出し

し
 B(63, 1)の行アドレス設定
 P(252, 4~1)の列アドレス設定、データ読み出し
 し
 P(251, 4~1)の列アドレス設定、データ読み出し
 し
 P(250, 4~1)の列アドレス設定、データ読み出し
 し
 P(249, 4~1)の列アドレス設定、データ読み出し
 し

B(1, 1)の行アドレス設定
 P(4, 4~1)の列アドレス設定、データ読み出し
 P(3, 4~1)の列アドレス設定、データ読み出し
 P(2, 4~1)の列アドレス設定、データ読み出し
 P(1, 4~1)の列アドレス設定、データ読み出し
 (最終画素、4ライン分)

・右270度回転

スキャナ13よりDRAMに書き込まれた画像を、図22の原稿のy方向、反x方向の順で4ライン分の画素の画像データを対応するメモリセルから順次読み出してプリンタ15へ出力することにより右270度回転した画像を4ライン同時に印刷する。

【0253】原稿の画素位置で表すと、まずはじめにP(256~253, 1)を読み出し(4ライン分)、順にP(256~253, 2)、P(256~253, 256)を右上から左下に向かって読み出し、最後にP(4~1, 256)を読み出す。

【0254】読み出される画素に対応するメモリセルの画像データは順次DRAMから読み出されプリンタ15へ出力される。

【0255】メモリセルの読み出しの際に、同じ行アドレスのメモリセルに対しての連続読み出しにおいては、行アドレス指定1度だけ指定し、行アドレスが異なったときのみ再度行アドレスを指定すればよい。

【0256】本例では、説明を簡単にするために、異なるブロックに最初にアクセスする毎に行アドレスを設定するものとする。

【0257】[1~4行目(開始ライン)の読み出し]

B(64, 1)の行アドレス設定
 P(256~253, 1)の列アドレス設定、データ読み出し(開始画素、4ライン分)
 P(256~253, 2)の列アドレス設定、データ読み出し
 P(256~253, 3)の列アドレス設定、データ読み出し
 P(256~253, 4)の列アドレス設定、データ読み出し

B(64, 2)の行アドレス設定
 P(256~253, 5)の列アドレス設定、データ読み出し
 P(256~253, 6)の列アドレス設定、データ読み出し
 P(256~253, 7)の列アドレス設定、データ読み出し
 P(256~253, 8)の列アドレス設定、データ読み出し

B(64, 64)の行アドレス設定
 P(256~253, 253)の列アドレス設定、データ読み出し
 P(256~253, 254)の列アドレス設定、データ読み出し
 P(256~253, 255)の列アドレス設定、データ読み出し
 P(256~253, 256)の列アドレス設定、データ読み出し
 [5~8行目の読み出し]

B(63, 1)の行アドレス設定
 P(252~248, 1)の列アドレス設定、データ読み出し
 P(252~248, 2)の列アドレス設定、データ読み出し
 P(252~248, 3)の列アドレス設定、データ読み出し
 P(252~248, 4)の列アドレス設定、データ読み出し
 B(63, 2)の行アドレス設定
 P(252~248, 5)の列アドレス設定、データ読み出し
 P(252~248, 6)の列アドレス設定、データ読み出し
 P(252~248, 7)の列アドレス設定、データ読み出し
 P(252~248, 8)の列アドレス設定、データ読み出し

B(63, 64)の行アドレス設定
 P(252~248, 253)の列アドレス設定、データ読み出し
 P(252~248, 254)の列アドレス設定、データ読み出し
 P(252~248, 255)の列アドレス設定、データ読み出し

P(252~248, 256)の列アドレス設定、データ読み出し

[253~256行目(最終ライン)の読み出し]

B(1, 1)の行アドレス設定

P(4~1, 1)の列アドレス設定、データ読み出し

P(4~1, 2)の列アドレス設定、データ読み出し

P(4~1, 3)の列アドレス設定、データ読み出し

P(4~1, 4)の列アドレス設定、データ読み出し

B(1, 2)の行アドレス設定

P(4~1, 5)の列アドレス設定、データ読み出し

P(4~1, 6)の列アドレス設定、データ読み出し

P(4~1, 7)の列アドレス設定、データ読み出し

P(4~1, 8)の列アドレス設定、データ読み出し

B(1, 64)の行アドレス設定

P(4~1, 253)の列アドレス設定、データ読み出し

P(4~1, 254)の列アドレス設定、データ読み出し

P(4~1, 255)の列アドレス設定、データ読み出し

P(4~1, 256)の列アドレス設定、データ読み出し(最終画素、4ライン分)

次に、前記の説明における画像の構成をnブロック×mブロックの構成に一般化した本発明の画像メモリ(DRAM: 画像領域28a)について説明する。

【0258】図24に2次元の画像メモリの構成を示す。

【0259】本例では、画像メモリとして、DRAMの高速ページモードを使用し、1回のアクセス毎に行アドレスと列アドレスを設定するのではなく、同じ行アドレスのデータに対しては列アドレスのみを設定し列アドレスの設定サイクルを省略することによってアクセスを高速化するバーストアクセスを行っている。

【0260】画像メモリは横n個、縦m個の合計(mn-1)個のブロック3002によって構成される。

【0261】さらに、ブロックはメモリのアクセス単位であるワード3001によって構成される。

【0262】通常のアクセス(スキャナ13から読み取った画像を画像メモリに転送する場合など)では、左上のワードからスタートし、主走査方向は左から右へ、副走査方向へは上から下へ向かってライン順次に画像メモリをアクセスする。

【0263】図25にブロック内のワード構成例を示す。この例では、1ブロックをカラム方向に4ワード、

ライン方向に4ワードの16ワードで構成している。数字は、ブロック内のオフセットアドレスを示す。よって、特定のワードのメモリアドレスは各ブロックの先頭アドレスにブロック内オフセットアドレスを加えた値となる。例えば、左上すみのブロックの中の左すみをメモリアドレス0とすると、右隣のワードはメモリアドレス1、ブロック内右下すみはメモリアドレス15、右隣のブロックの左上すみはメモリアドレス16となる。

【0264】なお、同一ブロック内のデータは必ず同じ行アドレスとなるように、1ブロックのワード数の正数倍が列アドレスの表すワード数となっている。図19のDRAMの例では、列アドレスは1024ワード表すことができ、1ブロックのワード数を16とした場合、列アドレスの表すワード数を1ブロックを構成するワード数で割り切ることができる。従って、ブロック内のワードは必ず同じ列アドレスとなる。

【0265】よって、同一ブロック内での連続アクセスであれば1つの行アドレスを一旦設定すればどのワードに対しても列アドレスを設定するだけで高速にアクセスすることが可能である。

【0266】図24における通常のアクセスにおいて、カラム方向のアクセスはアクセスしようとするラインのブロック左端のアドレスを起点アドレスとして発生し、その列アドレスに対し+0、+1、+2、+3した値を列アドレスとしてDRAMに設定し4ワードの連続アクセスを行う。

【0267】次に起点アドレスを右隣の左端アドレスに移動し同様に連続アクセスを行う。この起点アドレスの移動は、1ブロックのワード数MDを起点アドレスに加えることにより行われる。

【0268】右端までアクセスが終了すると次のラインのブロック左端に起点アドレスを移動する。次のラインへの起点アドレスの移動は、同じブロックのラインに移動する場合と、異なるブロックのラインに移動する場合によってアドレスの移動量が異なり、それぞれ、SD1、SD2となる。

【0269】図26にブロック位置及びブロック内オフセットとDRAMのアドレス(行アドレスを上位、列アドレスを下位とした場合)の関係を示す。

【0270】ブロックは左上から右下に向かって連続したメモリアドレスに割り当てられる。また、同一のブロック内もブロック内オフセットに従って連続したアドレスが割り当てられている。

【0271】よって、上記のMDはブロック0のオフセット0からブロック1のオフセット0間の変位であるため、ブロック内のワード数に等しくなる。1ブロックのワード数を16ワードとするとMD=16となる。

【0272】SD1はブロック(n-1)のオフセット0からブロック0のオフセット4への変位であるため、 $SD1 = -MD * (n-1) + 4$ となる。ここで、-M

$D * (n - 1)$ はオフセット0間のブロックの変位、+4は同一ブロックのオフセット0からオフセット4への変位と考えることができる。

【0273】SD2はブロック $(n - 1)$ のオフセット12からブロック n のオフセット0への変位であるため、 $SD2 = MD - 12$ となる。ここで、MDはブロック $(n - 1)$ からブロック n への変位、-12はブロック n のオフセット12からオフセット0への変位と考えることができる。

【0274】前述の左上から右下に向かってライン順次アクセスする通常アクセス時のメモリアドレスの算出例を、図27に示すフローチャートを参照しつつ説明する。

【0275】MAは連続的な、メモリアドレスを示す。メモリアドレスの列アドレスに相当するビット数がメモリアドレスの下位ビットに割り当てられ、メモリアドレスの上位ビットが行アドレス割り当てられる。また、上位アドレスのうち行アドレスのビット数を超える分は複数のメモリデバイスの選択に使用する。

【0276】SBLOCKは副走査方向のブロック位置を表す。

【0277】LINEはブロック内のライン位置を表す。

【0278】MBLOCKは主走査方向のブロック位置を表す。

【0279】B(この例では4)はブロックのライン数を表す。

【0280】通常アクセスの場合主走査方向は左から右、副走査方向は上から下になる。

【0281】通常アクセスの場合MA(メモリアドレス)はバーストアクセスを行うために読み出すブロックの読み出すラインの左端ワードのアドレスを示している。DRAMの高速ページモードリードはこのアドレスを起点に行アドレスを設定し、MAの表す列アドレスに0、1、2、3を加えた列アドレスを連続にアクセスする。

【0282】主走査方向の最終ブロックに達すると(MBLOCK=N)読み出しラインを1つ下にすすめ、主走査ブロック位置を左端に戻す(MBLOCK←0)。

【0283】読み出しラインがブロック内の下端に達すると(LINE=B)読み出しブロックを副走査方向に1つ進める(SBLOCK←SBLOCK+1)。

【0284】右下ブロックの最終ラインの読み出しが終了(SBLOCK=M)すると1ページの全ブロックの読み出しが終了する。

【0285】次に、画像データの回転読み出しについて説明する。画像を回転するためには、画像1ページを一旦画像メモリに展開し回転方向に読み出す必要がある。

【0286】図28に画像を右に90度回転する場合のアクセス順序を示す。

【0287】図28に示すように左下のワードから右上のワードに向かって、主走査方向は下から上へ、副走査方向へは左から右へ向かって順次画像メモリを読み出すことによって画像を回転している。

【0288】スタートは左隅のブロック $(m - 1) * n$ のオフセット12を起点アドレスとして行アドレスを設定し、起点アドレスの列アドレスに+0、-4、-8、-12を加えたものを列アドレスとして設定しブロック内の4ワード連続アクセスする。

【0289】次に起点アドレスを上ブロックの左下のアドレスに移動し同様に連続アクセスを行う。

【0290】上端までアクセスが終了すると次のカラムのブロック下端に起点アドレスを移動する。次のカラムへの起点アドレスの移動は、同じブロックのカラムに移動する場合と、異なるブロックのカラムに移動する場合によってアドレスの移動量が異なり、それぞれ、SD1、SD2となる。

【0291】よって、上記のMDは左下ブロック $(m - 1) * n$ のオフセット12から一つ上のブロック $(m - 2) * n$ のオフセット12間の変位であるため、 n ブロック分のワード数に等しくなる。1ブロックのワード数を16ワードとすると $MD = -16 * n$ となる。

【0292】SD1はブロック0のオフセット12からブロック $(m - 1) * n$ のオフセット13への変位であるため、 $SD1 = -MD * (m - 1) + 1$ となる。

【0293】ここで、 $-MD * (m - 1)$ はブロック0からブロック $(m - 1) * n$ への変位、+1は同一ブロックのオフセット12からオフセット13への変位と考えることができる。

【0294】SD2はブロック0のオフセット15からブロック $(m - 1) * n + 1$ のオフセット12への変位であるため、 $SD2 = -MD * (m - 1) + 13$ となる。ここで、 $-MD * (m - 1)$ はブロック0から左下のブロック $(m - 1) * n$ への変位、+13は左下のブロック $(m - 1) * n$ のオフセット15から右隣のブロック $(m - 1) * n + 1$ のオフセット12への変位と考えることができる。

【0295】このように、画像メモリを連続アクセス可能なブロックにより構成することによって、従来不可能だった回転時に必要な上下方向のアクセスに対しても連続アクセスによる高速アクセスが可能となる。

【0296】前述の左下から右上に向かってアクセスする右90度回転アクセス時のメモリアドレス算出例を、図29に示すフローチャートを参照しつつ説明する。

【0297】MAは連続的なメモリアドレスを示す。メモリアドレスの列アドレスに相当するビット数がメモリアドレスの下位ビットに割り当てられ、メモリアドレスの上位ビットが行アドレス割り当てられる。また、上位アドレスのうち行アドレスのビット数を超える分は複数のメモリデバイスの選択に使用する。

【0298】SBLOCKは副走査方向のブロック位置を表す。

【0299】LINEはブロック内のライン位置を表す。

【0300】MBLOCKは主走査方向のブロック位置を表す。

【0301】A(この例では4)はブロックのカラム数を表す。

【0302】右90度回転アクセスの場合主走査方向は下から上、副走査方向は左から右になる。

【0303】右90度回転アクセスの場合MA(メモリアドレス)はバスアクセスを行うために読み出すブロックの下端ラインの読み出すカラム(ブロック内の左右方向の位置)のワードのアドレスを示している。DRAMの高速ページモードリードは読み出しはこのアドレスを起点に行アドレスを設定し、MAの表す列アドレスに0、-4、-8、-12を加えた列アドレスを連続にアクセスする(つまり画像メモリはブロック内を上に向かって連続アクセスされる)。

【0304】主走査方向の最終ブロックに達すると(MBLOCK=M)読み出しカラムを1つ右にすすめ、主走査ブロック位置を下端に戻す(MBLOCK←0)。

【0305】読み出しカラムがブロック内の左端に達すると(COL=A)読み出しブロックを副走査方向に1つ進める(SBLOCK←SBLOCK+1)。

【0306】右上ブロックの最終カラムの読み出しが終了(SBLOCK=N)すると1ページの全ブロックの読み出しが終了する。

【0307】次に、上記した通常アクセス及び回転アクセスの具体的なメモリアドレス生成部(上述した図10に示すアドレス発生部612)の一構成例について説明する。

【0308】図30にメモリアccessの起点アドレス(バースト転送の開始アドレス)発生部の構成を示す。

【0309】起点アドレス発生部は副走査ブロック数設定部3801、ブロック内のライン数(カラム数)設定部3802、主走査ブロック数設定部3803、副走査方向ブロック数カウンタ3804、ブロック内ライン数(カラム数)カウンタ3805、主走査方向ブロック数カウンタ3806、セクタ3807、3808、3811、ページスタートアドレス設定部3809、メモリアドレス記憶レジスタ3813、加算器3810、およびオアゲート3812によって構成される。カウントは設定数を周期に繰り返して行われる。

【0310】主走査方向ブロック数カウンタ3806は主走査方向のブロック数をカウントし、最終ブロック(N番目)に達すると繰り上がり信号EOMB(主走査最終ブロック信号)を発生する。このカウント値はページ初期化信号(PINIT)によって主走査ブロック数が設定される。カウントは次アドレス発生信号(NEXT)

T)によって行われる。

【0311】ブロック内ライン数カウンタ3805はブロック内のライン数もしくはカラム数をカウントし、最終ライン(AもしくはB)に達すると繰り上がり信号EOL(最終ライン)を発生する。カウント値はページ初期化信号(PINIT)によってブロック内ライン数が設定される。カウントは繰り上がり信号EOMBが入力され、かつ次アドレス発生信号(NEXT)が入力されたときに行われる。カウントは設定数を周期に繰り返して行われる。

【0312】副走査方向ブロック数カウンタ3801は、副走査方向のブロック数をカウントし、最終ブロック(M番目)に達すると繰り上がり信号EOSB(副走査最終ブロック信号)を発生する。カウント値はページ初期化信号(PINIT)によって副走査ブロック数が設定される。カウントは繰り上がり信号EOLが入力され、かつ次アドレス発生信号(NEXT)が入力されたときに行われる。カウントは設定数を周期に繰り返して行われる。

【0313】メモリアドレス記憶レジスタ3813は、現在のメモリアドレスを記憶する。現在のメモリアドレスに次アドレスへの増分を順次加えていくことによってバーストアクセス毎の起点アドレスを算出している。アドレスレジスタはページ初期化信号(PINIT)によってスタートアドレスが設定される。また、繰り上がり信号でセクタ3807、3808を切り替えることによって、主走査方向にブロックを移動する毎にMD、ラインを移動する毎にSD1、副走査方向にブロックを移動する毎にSD2が加算器3810により加算される。加算器3810の加算結果は、次アドレス算出信号(NEXT)によってセクタ3811が切り替えられ、メモリアドレス記憶レジスタ3813に(オアゲート3812を介して)ロード信号が供給されることにより、メモリアドレス記憶レジスタ3813に更新記憶される。

【0314】図31に、1ブロックのサイズが2×2ワード、主走査2ブロック、副走査2ブロックの通常アクセスの画像メモリの構成例を示す。

【0315】図32の(a)～(i)に図31の画像メモリにアクセスしたときの起点メモリアドレスの発生タイミングの例を示す。

【0316】図33にDRAM制御信号発生部(上述した図10に示すDRAM制御部614)の構成を示す。

【0317】DRAM制御信号発生部は、起点メモリアドレス(MA)からDRAMをバーストアクセスするためのタイミング信号及び、行アドレス、列アドレスを発生する。

【0318】DRAM制御信号発生部はタイミング制御部3901、リフレッシュサイクルタイマー3902、オフセットアドレステーブル3903、オフセットアドレスカウンタ3904、セクタ3905、3907、

および加算器3906により構成されている。

【0319】タイミング制御部3901はメモリアクセス制御信号によりメモリアクセスサイクルを開始し、DRAMに行アドレスを設定するRAS信号、列アドレスを設定するCAS信号、オフセットアドレスカウンタ3904のカウントアップ信号を発生する。

【0320】リフレッシュサイクルタイマー3902は一定周期のDRAMリフレッシュサイクル開始信号を発生し、タイミング制御部3901によってDRAMリフレッシュサイクルを実行するためのRAS、CAS信号を発生する。

【0321】オフセットアドレステーブル3903はバーストアクセスをする際の起点メモリアドレスの列アドレスに加えるオフセットを設定する。オフセットアドレステーブル3903の値はブロック内のワードのアクセス順によって設定を行う。例えば、ブロックサイズを4×4ワードとした場合、順方向アクセスでは、0、1、2、3を設定し、右90度回転アクセスでは0、-4、-8、-12を設定する。

【0322】セレクト3905はオフセットアドレスの順序に従ってオフセットアドレステーブルの値を選択する。

【0323】加算器3906はメモリアドレスの列アドレスにオフセットアドレスを加算する。

【0324】セレクト3907はメモリアドレス中の行アドレスと列アドレスを選択している。選択されたアドレスはDRAMのアドレス端子に入力され、RAS、CAS信号によって行アドレス、列アドレスの2回にわたってDRAMのアドレスを設定する。

【0325】次に、この発明の第2の実施形態として、上記の様に構成した画像メモリによる連続アクセスによる高速アクセスの利用例として、2次元的なブロックを処理単位としてアクセスを行う符号化・復号化処理の高速化及び、レーザ露光装置により複数ラインが同時に印字可能なプリンタ15に対する複数ラインの読み出しの高速化について説明する。

【0326】まず初めにブロック単位に処理を行う符号化、復号化について説明する。符号化方式としてJPEG (Joint Photographic Coding Experts Group) 符号化を例にして説明する。

【0327】JPEG符号化は写真画像のように1つ1つの画素が輝度情報を持つ階調データを対象に行われる。

【0328】本例では、1画素を8ビットで表しているので、256階調 ($2^8 = 256$) の輝度を表現することができる。JPEG符号化、復号化の際に行われるDCT (Discrete Cosine Transform) 及びその逆変換では画像全体を矩形ブロック単位分割し、ブロック単位に処理する必要がある。

【0329】図34は1画素あたり8ビットで8画素×8画素の処理ブロックの画像メモリの構成例を示す。また、1メモリアドレス当たり32ビットのデータで格納されている。よって、8画素×8画素のブロックは横2ワード×縦8ラインの16ワードで構成される。前述したように同一ブロックの16ワードはDRAM内部では同じ行アドレスに配置されているため、バーストアクセスが可能である。

【0330】図35の(a)～(g)に本画像メモリを用いたJPEG符号化による画像記憶、再生装置の概略を示す。

【0331】まず、スキャナ13やTVカメラといったライン順次に画像を読み取る入力装置からの画像データを画像メモリにライン順次(図35の場合左上から右下)に書き込んでゆく。この際に、ライン順次に書き込みを行うメモリアドレスが、DRAMの同じ行アドレスであれば、バーストアクセスによる高速書き込みが可能である(図35の(a)参照)。

【0332】JPEG符号化は画像をブロック単位に処理するため、入力された画像メモリ上の画像をブロック単位で読み出す。このブロックは本画像メモリの特徴であるように、ブロックを構成するワードのメモリアドレスが、DRAMの同じ行アドレスとなるように構成されている。従って、1ブロックの画像データを、バーストアクセスにより一括して高速にJPEG符号化装置に読み出すことが可能である(図35の(b)参照)。

【0333】JPEG符号化装置によって画像データ量は数十分の1に圧縮され、符号メモリに蓄積される(図35の(c)(d)参照)。

【0334】蓄積された画像は必要によって選択され、任意の順番、任意の回数読み出すことができ、JPEG復号化装置によって元の画像に再生される(図35の(d)(e)参照)。

【0335】JPEG復号化は符号化の場合と同様にブロック単位で画像を再生する。このブロックは本画像メモリの特徴であるように、ブロックを構成するワードのメモリアドレスが、DRAMの同じ行アドレスとなるように構成されている。従って、1ブロックの画像データをバーストアクセスにより一括して高速にJPEG復号化装置から画像メモリに書き込むことが可能である(図35の(f)参照)。

【0336】再生された画像は、ライン順次に読み出され、例えばレーザプリンタやCRTディスプレイなどのライン順次出力系装置に出力される。この際に、ライン順次に読み出しを行うメモリアドレスが、DRAMの同じ行アドレスであれば、バーストアクセスによる高速読み出しが可能である(図35の(g)参照)。

【0337】このように、本画像メモリを用いることにより、従来不可能であったブロック単位のDRAMバーストアクセスが可能になり、画像メモリとのデータ転送

を高速に行うことが可能となる。

【0338】次に、レーザ露光装置4500により複数ラインが同時に印字可能なプリンタ15に対する複数ラインの読み出しの高速化について説明する。

【0339】図36のレーザ露光装置4500は4個のレーザ4501、4502、4503、4504、ガルバノミラー4504、4505、4506、4507、レーザドライバ4508、4509、4510、4511、ガルバノミラー駆動回路4512、4513、4514、4515、ハーフミラー4516、4517、ポリゴンミラー4518、ポリゴンモータ4519、ポリゴンモータドライバ4520、ビーム検知センサ4521、ビーム検知センサ出力処理回路4522によって構成される。それぞれのレーザドライバ4508、4509、4510、4511はビーム検知センサ4521のビーム検出信号を基準にそれぞれのラインの画像データに基づいてレーザを発光させる。ハーフミラーは複数のレーザビーム光を合成し、ひとつのポリゴンミラー4518によって感光体ドラム4523上を走査できるようにしている。ガルバノミラー4504、4505、4506、4507はガルバノミラー駆動回路4512、4513、4514、4515によって制御され、それぞれのレーザビームが感光体ドラム4523上を走査する際の露光位置を所望の位置関係にするための調整を行う。図37は複数レーザによる感光体ドラム4523上の露光の様子を示す。感光体ドラム4523上では4本のレーザビームにより4ライン単位で画像が形成される。このとき、それぞれのレーザビーム露光位置が副走査方向に等間隔になるようにガルバノミラー4504、4505、4506、4507によって微調整を行う。

【0340】図38の(a)(b)に従来のライン順次アクセスをしたメモリコピー(複数部コピーの際に、スキャナ13からの画像を一旦画像メモリに取り込んだ後、以降は画像メモリを繰り返し読み出し画像を出力する)を行う時のメモリアクセスの様子を示す。

【0341】スキャナ13からの画像データは画像メモリにライン順次に書き込まれる(図38の(a)参照)。

【0342】プリンタ15への印字は画像メモリをライン順次に読み出し、4ライン分のレーザを駆動するための変換回路に送られる(図38の(b)参照)。

【0343】図39にライン順次に読み出されたデータを4ライン分のレーザを駆動するための変換回路の構成を示す。

【0344】従来の画像メモリは異なるライン間(複数ラインの画像を必要とするため上下方向に連続するデータが必要)のDRAMバーストアクセスが行えないために、ライン順次で読み出した後、外部の高速メモリに一旦4ライン分の画像を形成したうえで異なるライン間の画像データを高速アクセスする必要があった。

【0345】ライン順次に読み出されたメモリリードデータは4ライン分の画像データを用意するためにラインバッファ4601、4602にライトされる。4ライン分の画像データが揃うと、それぞれのラインより1ワードずつ読み出す。ラインバッファ4601、4602は2組あり、片方がライン順次の画像データを4ライン分ためている間に、もう一方は既に4ライン揃っている画像データの読み出しを行つている。ラインバッファ4601、4602のライト動作とリード動作は互い違いに交互に行われ、連続的な動作を可能にしている。

【0346】読み出されたデータはデータバッファ4603に取り込まれ、パラレル→シリアル変換部4604によって、ワードデータを1ビットのシリアルデータしそれぞれのラインのレーザドライバ駆動信号を発生する。

【0347】つまり、画像の読み出しをライン順次に行うためには4ライン分の画像データを揃えるために、画像メモリの外部に4ライン分の高速なラインバッファを2組も用意する必要があり、装置規模やコストの増大が避けられなかった。

【0348】図40に本発明の画像メモリを使用した場合のメモリアクセス動作を示す。

【0349】本例では、DRAMをバーストアクセスするためのブロックと横(主走査方向)4ワード、縦(ライン方向)4ラインの16ワードで構成している。

【0350】スキャナ13からのライン順次の画像データはブロック内をバーストアクセスにより高速に書き込みが行われる(さらに、隣り合うブロックのDRAMアドレスが同一の行アドレスであれば、ブロックをまたがるバーストアクセスも可能)。

【0351】画像メモリの読み出しは、本画像メモリの特徴を利用し、ブロック内をライン方向にバーストアクセスし、4ワード(4ライン分)の画像データを高速に読み出すことが可能である。

【0352】連続的に読み出された4ワード(4ライン分)の画像データはデータバッファ4611に取り込まれ、パラレル→シリアル変換部4612によって、ワードデータを1ビットのシリアルデータしそれぞれのラインのレーザドライバ駆動信号を発生する。(図41)従って、従来のような高速で高価なラインバッファ・メモリを使用することなくレーザドライバ駆動に必要な4ライン分の画像データを高速に読み出すことが可能である。

【0353】次に、ブロック単位に画像メモリをバースト読み出しを行い、所望の処理を施した後にブロック単位にバースト書き込みを行う処理例として、ブロック単位の回転処理について説明する。

【0354】図42の(a)(b)は1画素1ビットで表される(例えば白黒画像)画像を記憶する画像メモリの構成を示す。

【0355】ブロック構成は1ワード(32ビット)×32ラインの32ワードで構成される。画像の回転は図42の(a)に示す元画像ブロックをバースト読み出しを行い、読み出したデータを回転部で一旦蓄え、蓄えた画像の画素順序を回転方向に並び替えたデータを図42の(b)に示す処理後の画像として画像メモリにバースト書き込みを行う。

【0356】図43の(a)(b)は1画素8ビットで表される(例えば階調画像や、カラー画像)画像を記憶する画像メモリの構成を示す。ブロック構成は1ワード(32ビット)×4ラインの4ワードで構成される。画像の回転は図43の(a)に示す元画像ブロックをバースト読み出しを行い、読み出したデータを回転部で一旦蓄え、蓄えた画像の画素順序を回転方向に並び替えたデータを図43の(b)に示す処理後の画像として画像メモリにバースト書き込みを行う。

【0357】図44の(a)～(d)は前記図42、図43のブロック画像の回転を用いたページ全体の回転処理を示す。

【0358】図44の(a)に示す、元画像をブロック単位に回転処理し、図44の(b)に示すように、別領域ブロック単位に書き込むことによって画像メモリから画像メモリへの回転処理が行える。

【0359】図44の(a)に示す、元画像をブロック単位に回転処理し、図44の(c)に示すように、元画像の同じブロックに書き込むことによってブロック単位に回転処理された画像が形成される。

【0360】ブロック単位に回転処理された画像は既に画素単位で回転されているので、出力画像がライン単位に連続となるような順序でブロック内のワード読み出しを行いプリンタ等のライン順次の出力装置に回転画像を出力する(図44の(d)参照)。

【0361】本発明の画像メモリを用いればブロック単位のアクセスはバーストアクセスにより高速に読み出し、書き込みが行えるため高速な回転処理が行える。また、本例では回転処理を行ったが、フィルタリングやDCT等の直行変換、画像の並び替えによるスクランブル処理などブロック単位のあらゆる処理に適用することが可能である。

【0362】上記したように、画像全体をブロックに分割し、それぞれのブロックをバーストアクセス可能なメモリアドレスのデータで構成することによって、同一ブロック内であれば横方向、縦方向、ブロック全体、ブロックの一部といった任意のデータに対しバーストアクセスを可能にし、アクセス方向によらずに画像メモリに対する高速アクセスを可能にできる。

【0363】

【発明の効果】以上詳述したように、この発明によれば、画像メモリに対するバーストアクセスを可能とし、高速アクセスが可能な画像メモリアccess方法、画像形

成装置、画像形成記憶装置、アドレス発生方法、及びアドレス発生装置を提供できる。

【図面の簡単な説明】

【図1】この発明の画像形成装置の概略構成を示す断面図。

【図2】画像形成装置の制御回路を示す全体のブロック図。

【図3】基本ユニットの構成を示すブロック図。

【図4】システム基本ユニットの構成を示すブロック図。

【図5】システム拡張ユニットの構成を示すブロック図。

【図6】画像処理回路の構成を示すブロック図。

【図7】システム制御回路の構成を示すブロック図。

【図8】通信メモリアccess制御回路の構成を示すブロック図。

【図9】ページメモリアccess制御回路の構成を示すブロック図。

【図10】アドレス制御回路の構成を示すブロック図。

【図11】アドレス発生部の構成を示すブロック図。

【図12】データ制御回路の構成を示すブロック図。

【図13】画像データ転送制御部の構成を示すブロック図。

【図14】タイマの構成を示す図。

【図15】画像バス優先度制御部の詳細な構成を示すブロック図。

【図16】ページメモリ優先度制御部の詳細な構成を示すブロック図。

【図17】ターミナルカウンタの詳細な構成を示す図。

【図18】電子ソートの一例を示す図。

【図19】DARMの内部構成を示す図。

【図20】DRAMの通常モード及びファーストページモードのアクセスタイミングを示す図。

【図21】DRAMの通常モード及びファーストページモードのアクセスタイミングを示す図。

【図22】原稿画像を構成する画素を説明するための図。

【図23】DRAMを構成するメモリセルを説明するための図。

【図24】非回転アクセス時のバーストアクセスの起点アドレスを移動を示す図。

【図25】ブロック内の列アドレスオフセットを示す図

【図26】ブロック内オフセットとメモリアドレスの関係を示す図。

【図27】非回転アクセス時のメモリアccess算出フローを示す図。

【図28】回転アクセス時のバーストアクセスの起点メモリアccessを移動を示す図。

【図29】回転アクセス時のメモリアccess算出フローを示す図。

【図30】バーストアクセスの起点アドレス算出回路の構成図。

【図31】画像メモリの構成例を示す図。

【図32】図31の画像メモリの起点アドレス算出回路の動作タイミングを示す図。

【図33】DRAM制御信号発生回路の構成図。

【図34】JEPG符号化時の画像メモリ構成例を示す図。

【図35】JEPG符号化による画像記憶、再生装置の構成例を示す図。

【図36】複数のレーザービームを用いた露光装置を示す図。

【図37】複数のレーザービームによる感光体ドラム上の露光の様子を示す図。

【図38】従来の画像メモリのライン順次アクセスの示す図。

【図39】ライン順次の画像データを複数のレーザードライバ駆動信号に変換する回路を示す図。

【図40】本発明の画像メモリ用いたバーストアクセスを示す図。

【図41】バーストアクセスした画像データを複数のレーザードライバ駆動信号に変換する回路を示す図。

【図42】1画素1ビットの画像メモリのブロック構成

及び画像の回転を示す図。

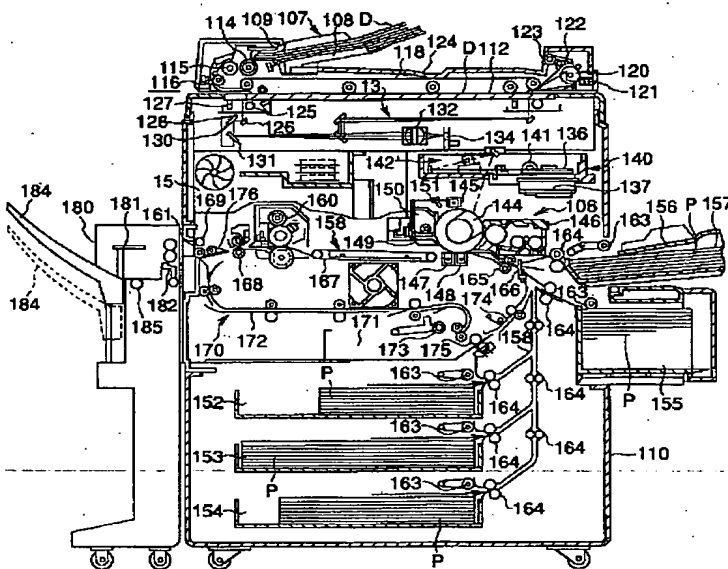
【図43】1画素8ビットの画像メモリのブロック構成及び画像の回転を示す図。

【図44】ブロック単位のバーストアクセスによる画像回転方法を説明する図。

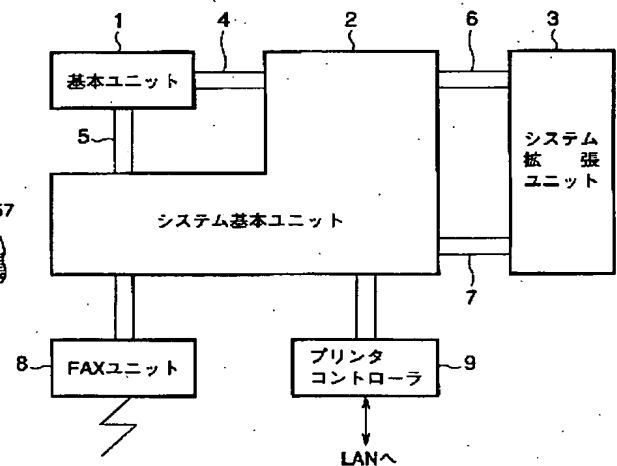
【符号の説明】

21…システム制御回路
26…アドレス制御回路
27…データ制御回路
28…ページメモリ
28a…画像領域(画像メモリ、DRAM)
612…アドレス発生部
614…DRAM制御部
1001…タイミングジェネレータ
1002…行アドレスレジスタ
1003…行アドレスデコーダ
1004…列アドレスレジスタ
1005…列アドレスデコーダ
1006…メモリアレイ
1007…行データレジスタ
1008…列データセクタ
1009…データ入出力バッファ

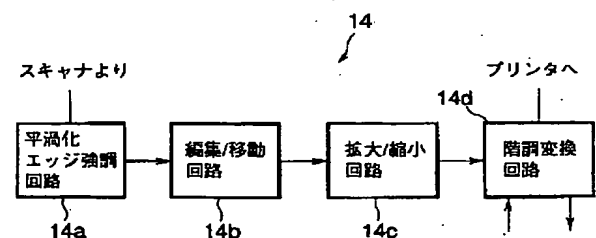
【図1】



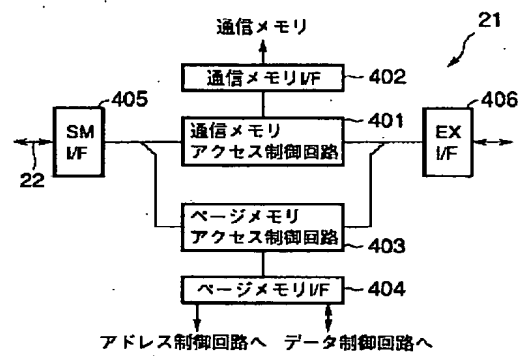
【図2】



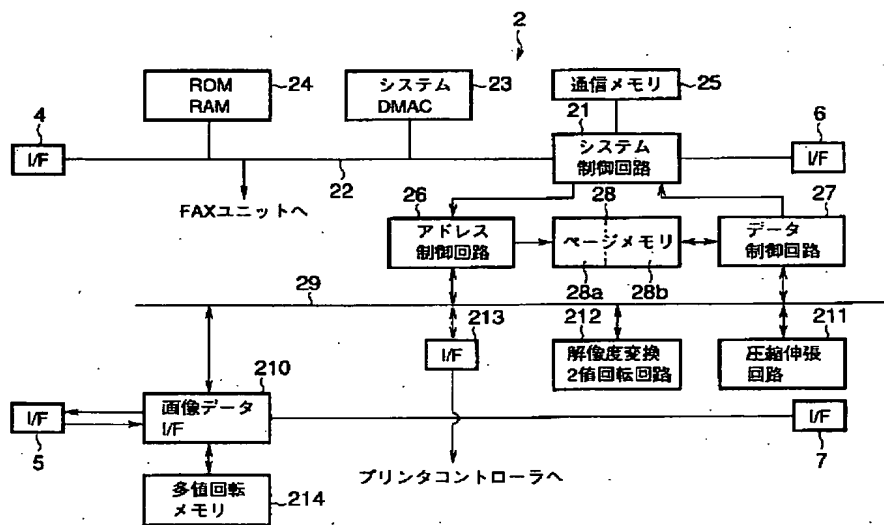
【図6】



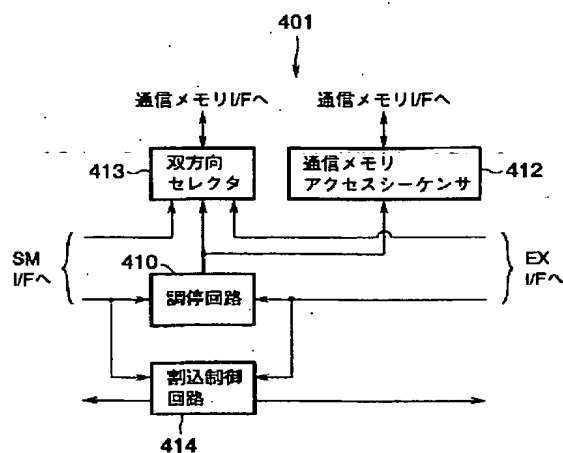
【図7】



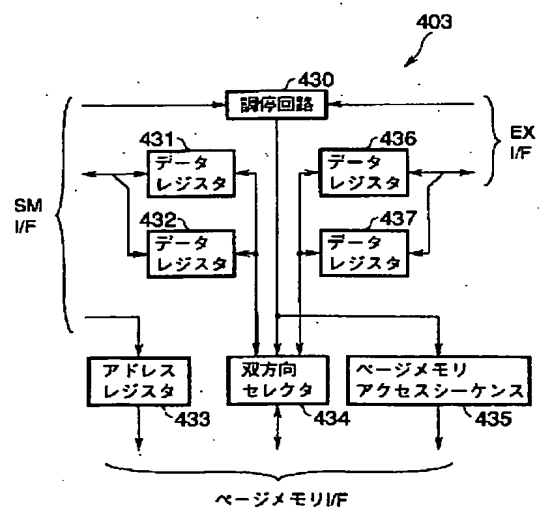
【図4】



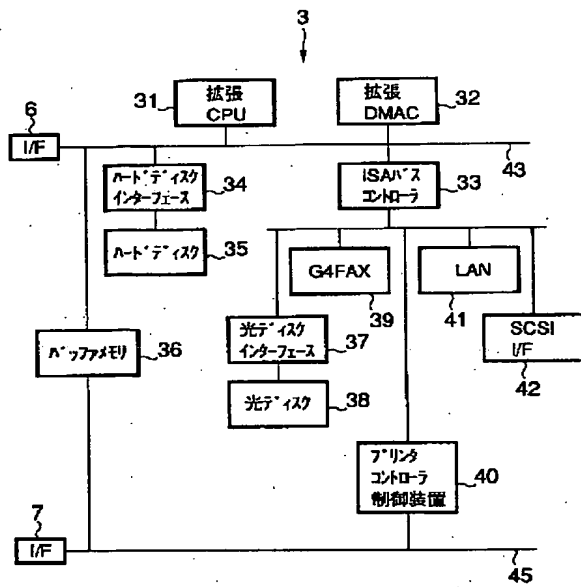
【図8】



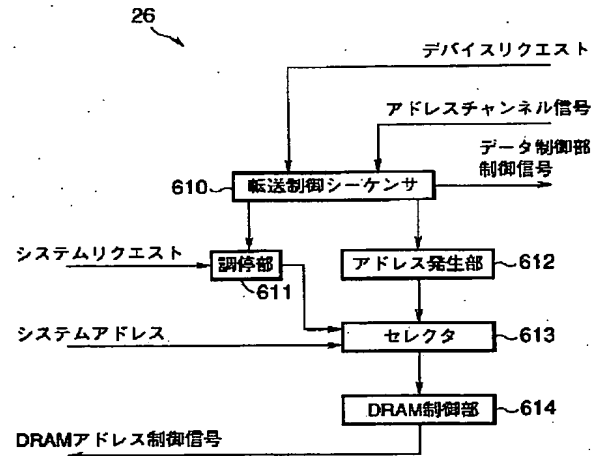
【図9】



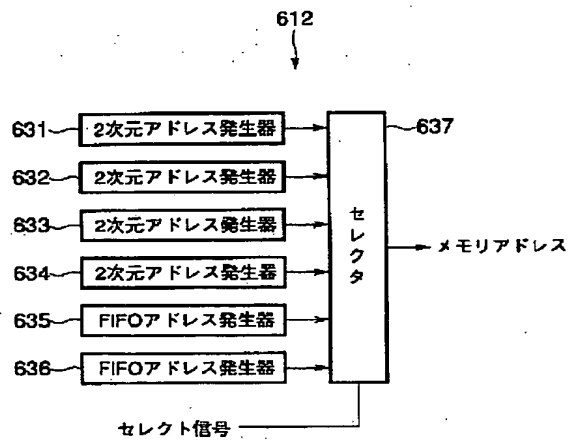
【図5】



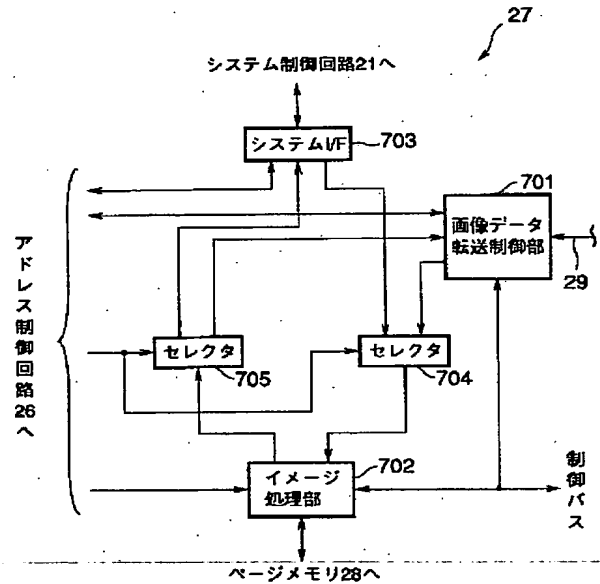
【図10】



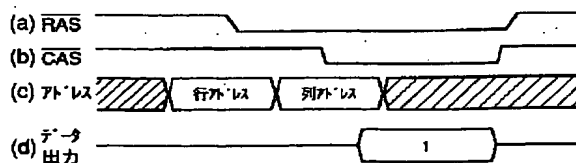
【図11】



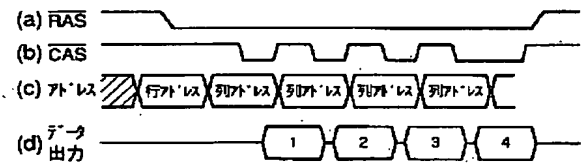
【図12】



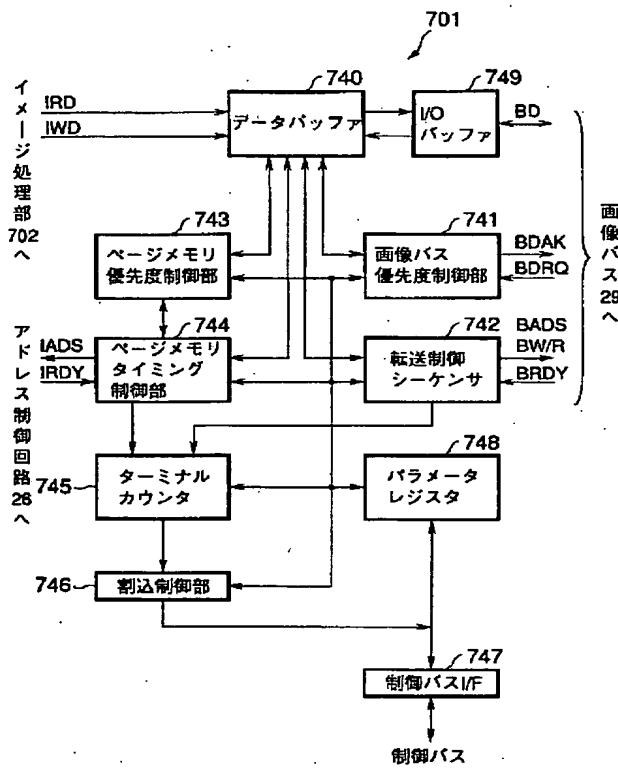
【図20】



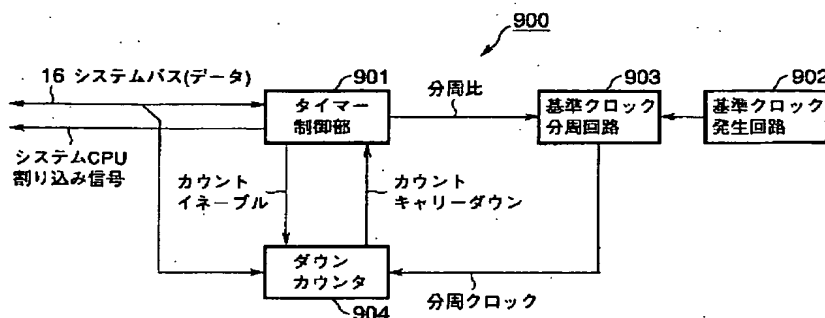
【図21】



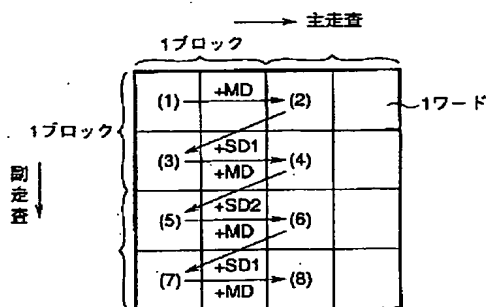
【図13】



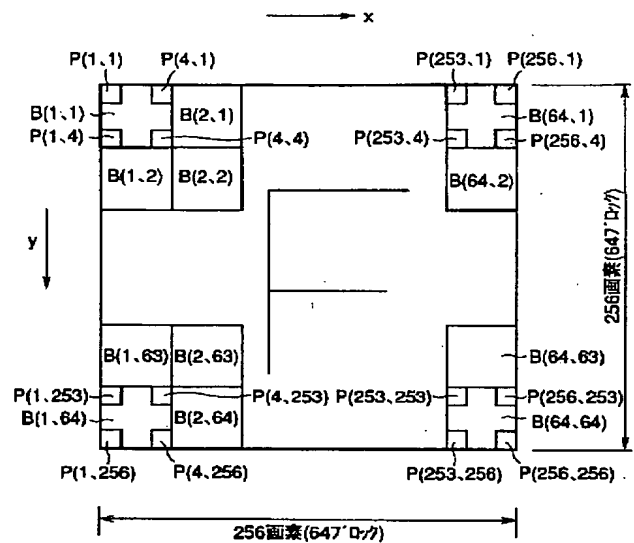
【図14】



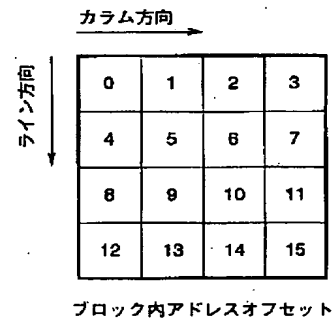
【図31】



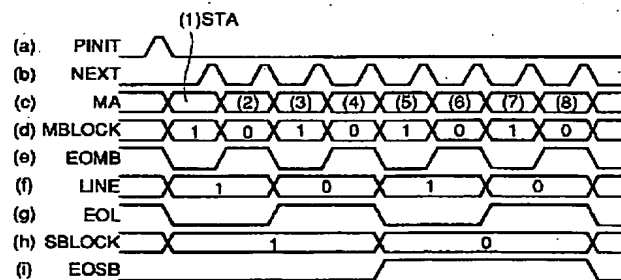
【図22】



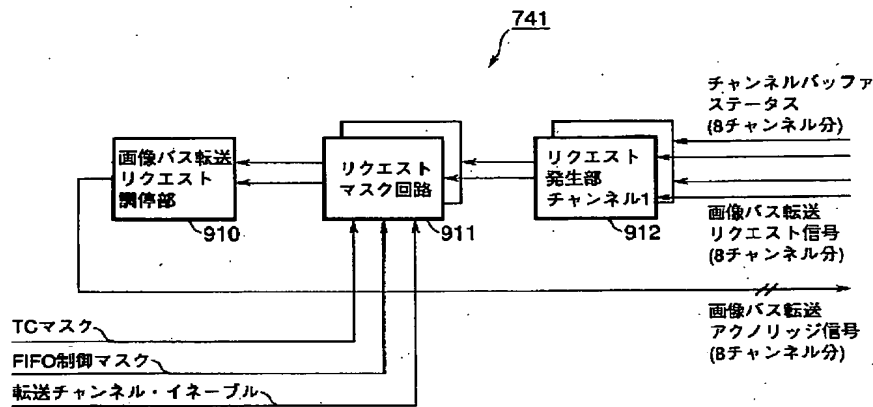
【図25】



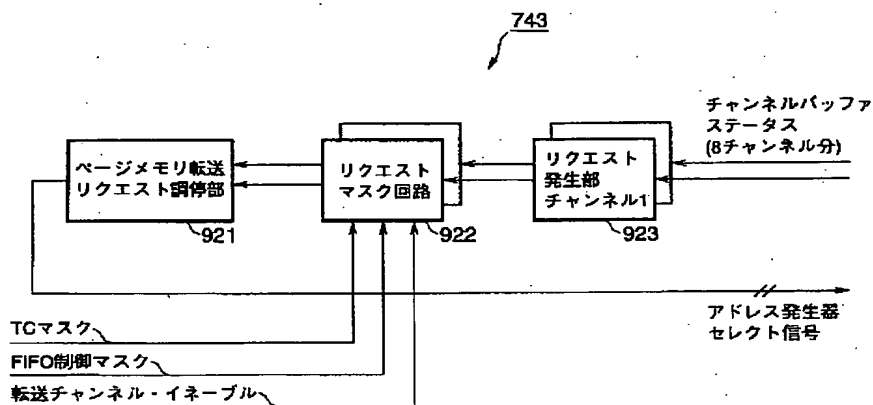
【図32】



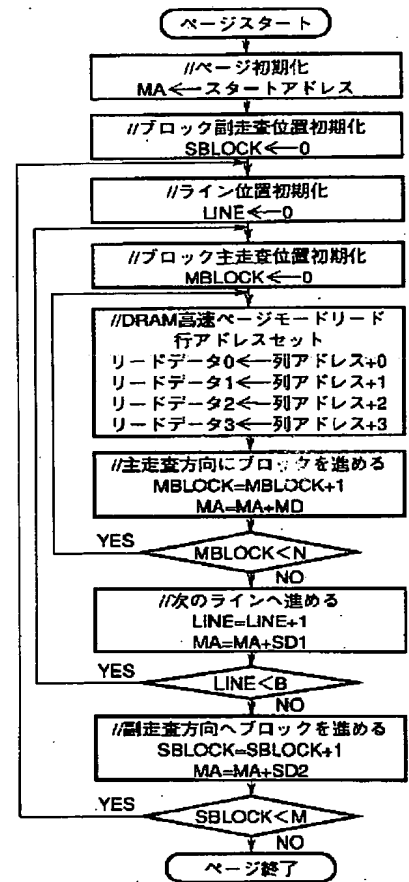
【図15】



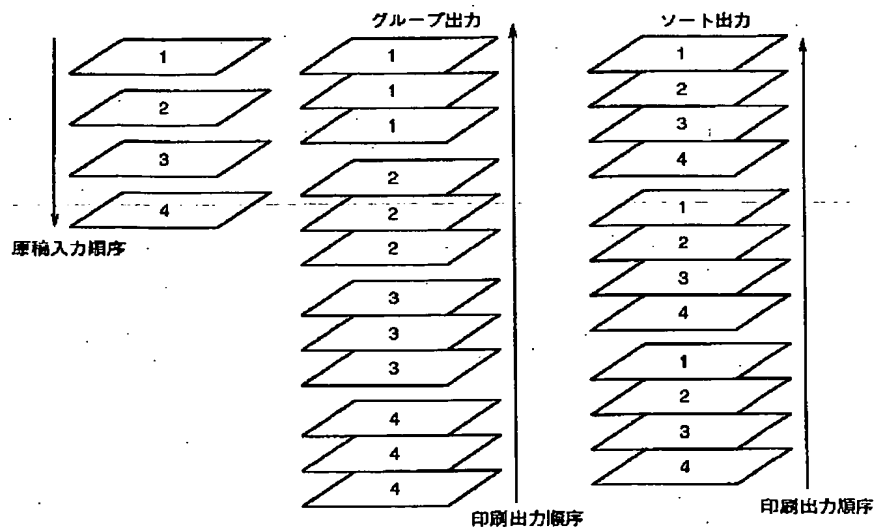
【図16】



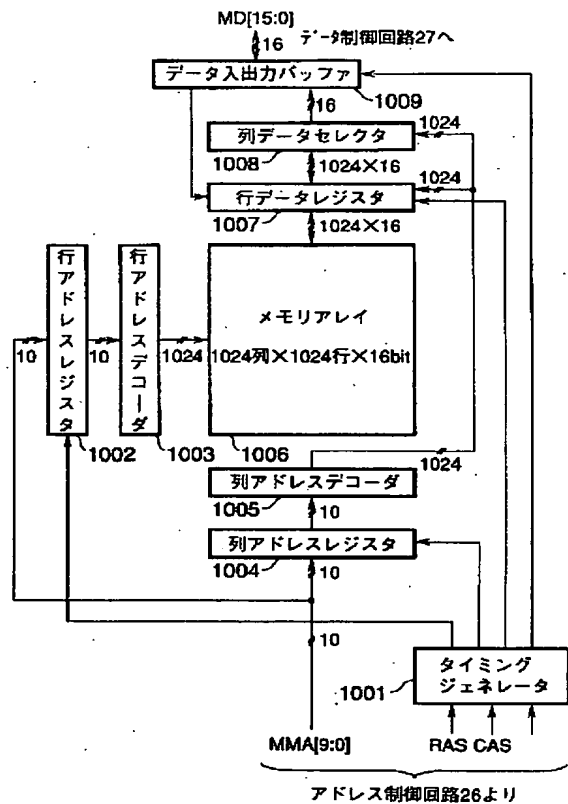
【図27】



【図18】

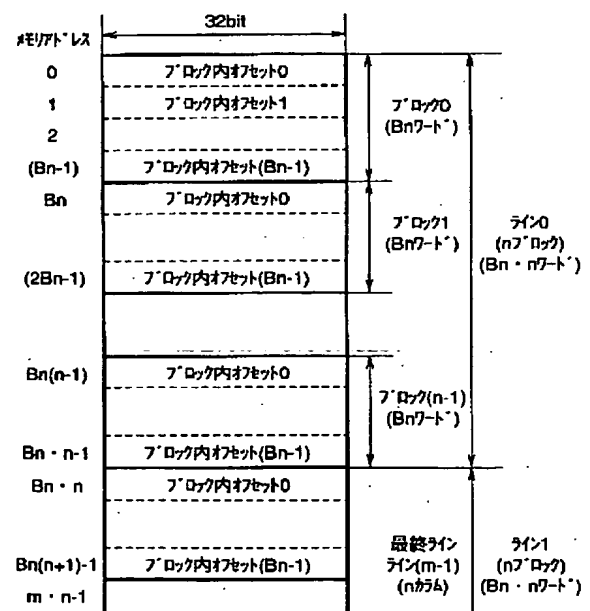
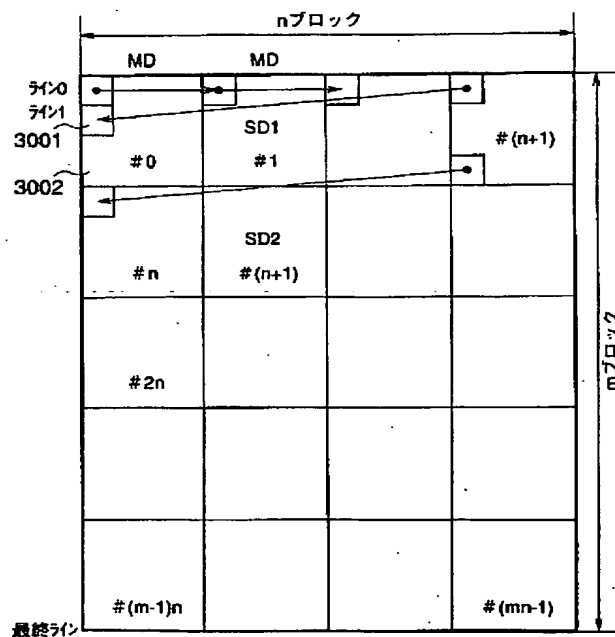


【図 19】

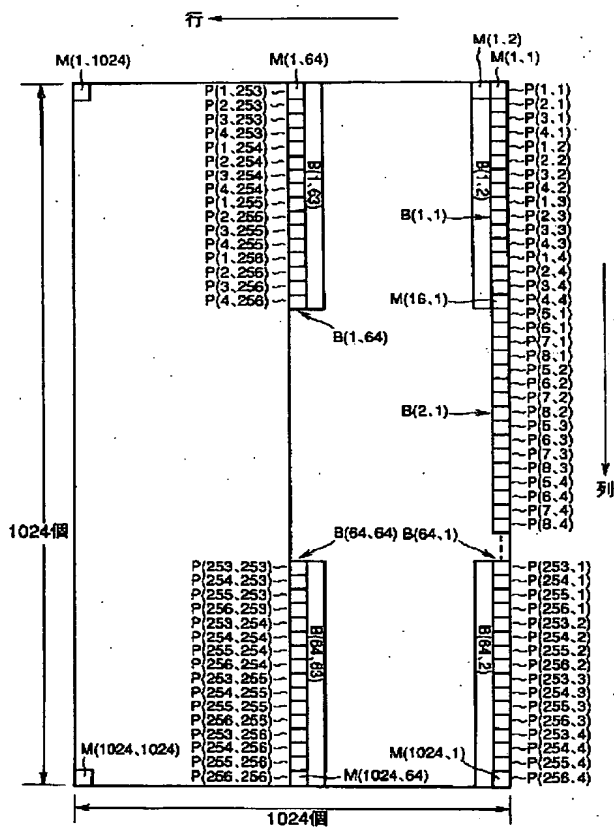


【图26】

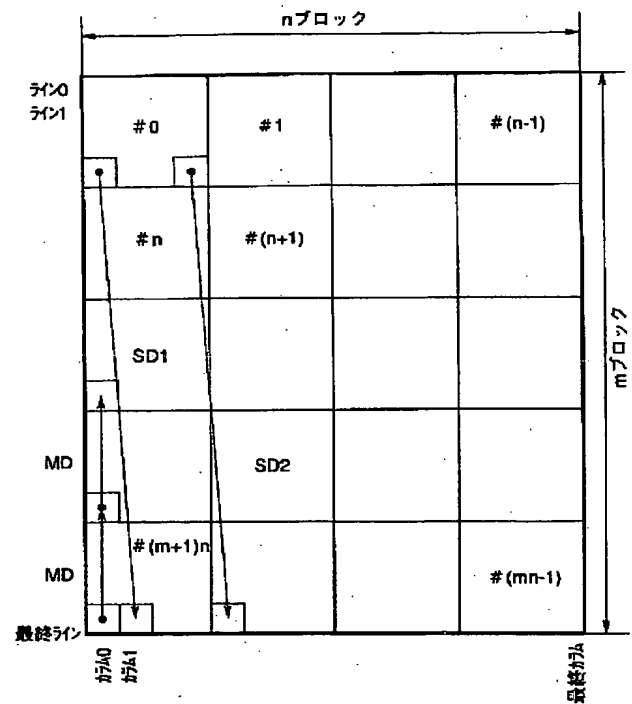
【図24】



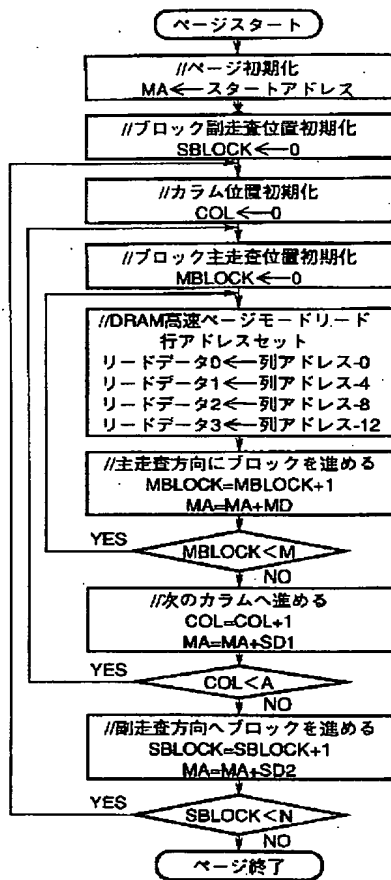
【図23】



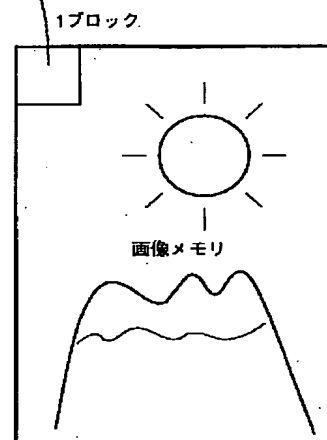
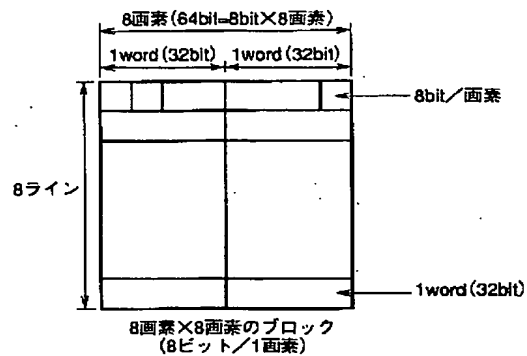
【図28】



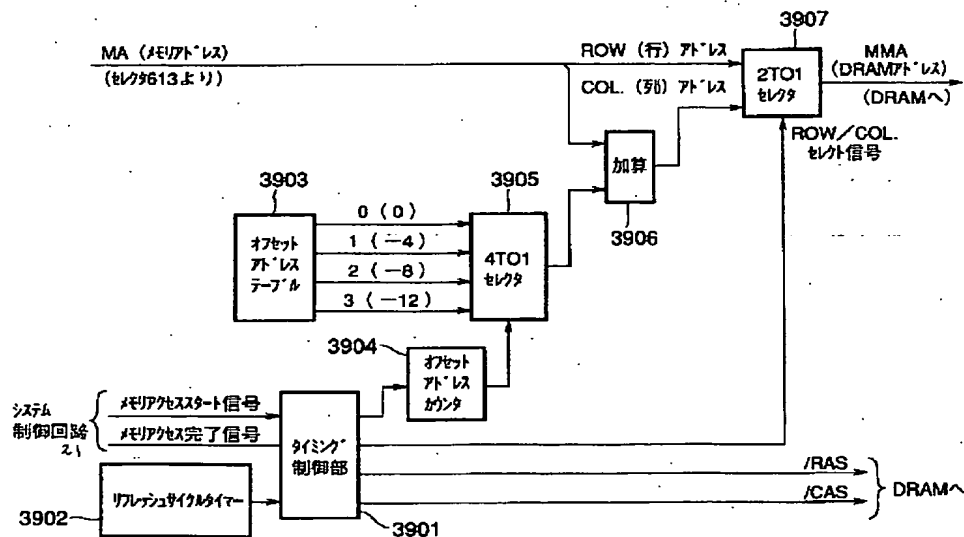
【図29】



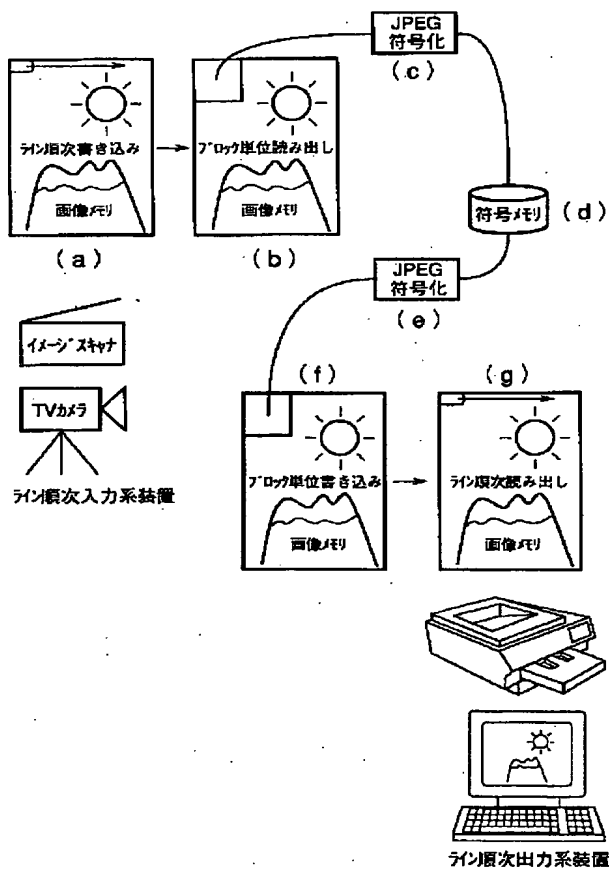
【図34】



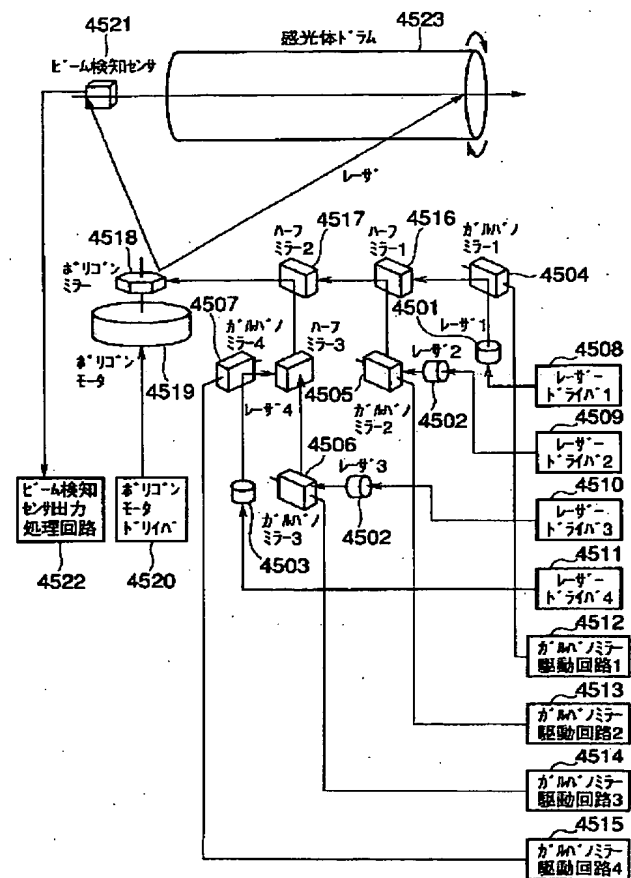
【図33】



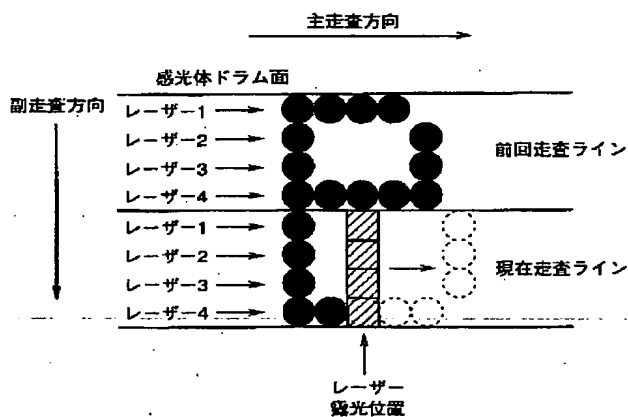
【図35】



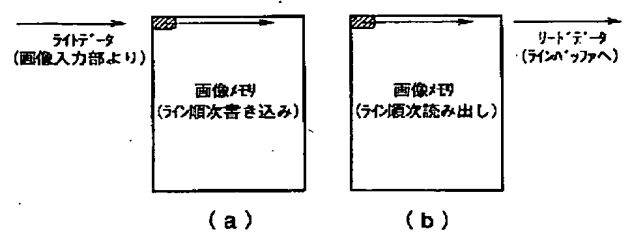
【図36】



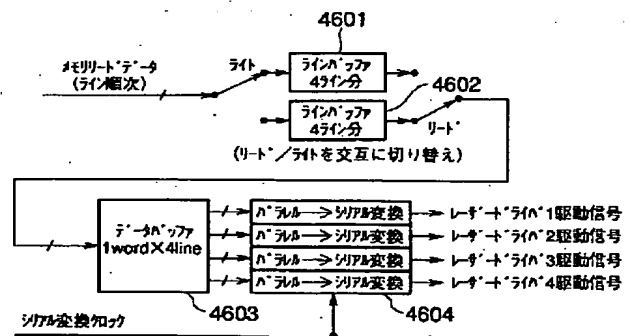
【図37】



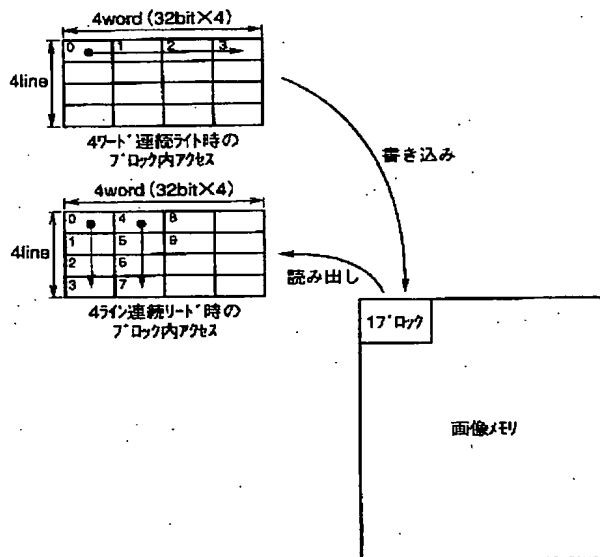
【図38】



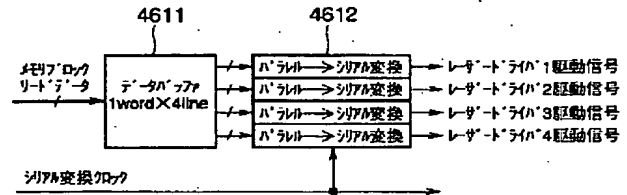
【図39】



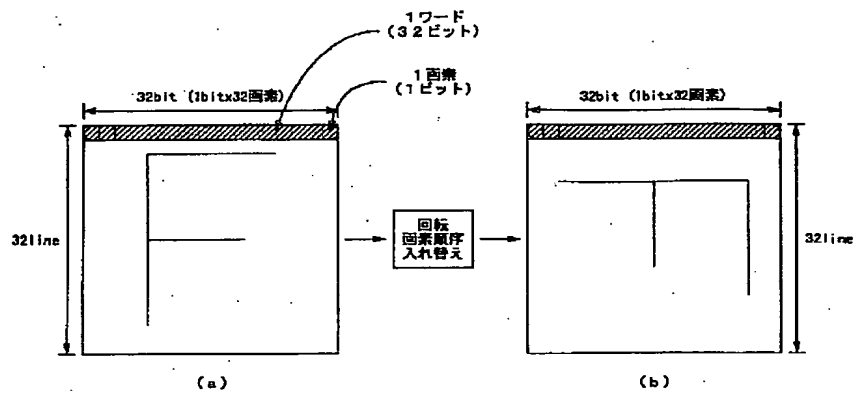
【図40】



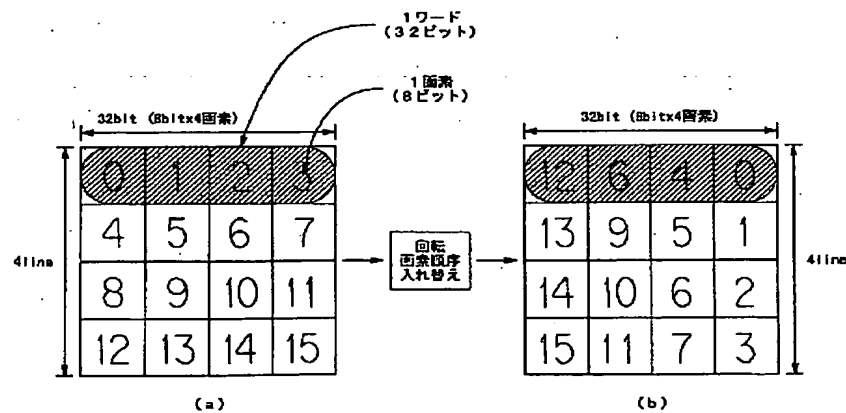
【図41】



【図42】



【図43】



【図44】

